

Fig. 1. SEM image of silicon wafer surface sliced with wire saw (?500).
 Fig. 2. SEM image of the etched surface of the silicon crystal with Wright etching solution for 5 minutes. Before etching, both specimen have as-sliced surface (?500).
 Fig. 3. Optical micrograph of the polished silicon crystal grown by directional solidification (?0, Wright etched for 5 minutes).
 Fig. 4. SEM image of silicon wafer surface oxidized with H₂O. Before oxidation, both specimen were sliced with wire saw (?500, 1000, Wright etched for 5 minutes).

The influence of mechanical damage on the formation of the structural defects on the silicon surface during oxidation

Dae Il Kim, Jong Bum Kim and Young Kwan Kim?

Department of Material Science & Engineering, University of Incheon, Incheon 402-749, Korea

(Received February 7, 2005)

(Accepted April 1, 2005)

Abstract During oxidation process, several type of defects are formed on the surface of the silicon crystal which was damaged mechanically before oxidation. As the size of abrasive particle increases, multiple dislocation loops are produced favorably over oxidation-induced stacking faults, which are dominantly produced when ground with finer abrasive particle. These defects are not related with the crystal growth process like Czochralski or directional solidification. During directional solidification process, twins and stacking faults are the two major defects observed in the bulk of the silicon crystal. On the other hand, slip dislocations produced by the thermal stress are not observed. Thus, not only in single crystalline silicon crystal but also in multi-crystalline silicon, extrinsic gettering process with programmed production of surface defects might be highly applicable to silicon wafers for purification.

Key words Mechanical damage, Dislocation loop, Stacking faults, Silicon crystal

규소 결정 표면의 구조 결함의 형성에 미치는 기계적 손상의 영향

김대일, 김종범, 김영관?

인천대학교 신소재공학과, 인천, 402-749

(2005년 2월 7일 접수)

(2005년 4월 1일 심사완료)

요 약 규소 표면의 기계적 손상은 산화 공정 중에 규소 표면에 여러 가지 형태의 결함들을 발생 시킨다. 규소 표면에 손상을 주는 마모 입자가 커짐에 따라 OISF보다는 etch pit의 형상이 동굴형인 선 결함(line defects)들이 많이 발생된다. 이들 결함들은 실리콘 결정을 성장 시키는 단계에서 형성되는 결함들과는 상호 관련이 없다. 방향성 응고법으로 성장된 규소 결정속에 존재하는 결함들은 주로 twin과 stacking fault들이며 응고과정에서 발생이 예상되는 응력에 의한 전위는 거의 발견되지 않았다. 따라서 Czochralski 법으로 성장된 단 결정 규소뿐 아니라 방향성 응고법으로 성장된 다 결정 규소 기판도 표면의 결함들을 이용하여 extrinsic gettering을 통한 규소 결정 내부의 불순물 제거의 가능성이 높다.

1. 서 론

규소 결정의 표면에 기계적인 손상(mechanical damage)이 존재할 경우 산화 공정에서 산화 적층 결함(OISF : Oxidation-Induced Stacking Faults)이 발생한다[1]. 이 결함은 고온공정에서 주변의 금속 불순물을 흡착하는 성질(gettering)이 있어 반도체 제조공정에서는 기판의 뒷면에 결함의 발생을 인위적으로 조장하여 수율 향상 및 제품의 신뢰성 향상을 기하고 있다. 하나의 예로써 반도체 제조공정에서는 silica slurry를 분사 하여 기계적인 손상을 기판(wafer)의 뒷면에 주고 있다. 이때 사용되는 압력은 0.3~1.7 kgf/cm²로써 매우 약한 손상을 주고 있다. 이 손상을 주기 이전의 표면은 etching된 상태이며 여기에 silica slurry에 의한 손상을 가하여도 현미경으로 그 손상의 존재여부를 관찰할 수가 없을 정도이다. 그러나 산화공정을 거친 후에는 약 20 mm 정도의 산화 적층 결함(OISF)이 발생되고 있다[1]. 이들의 결함은 약 800 nm 두께의 규소표면이나 규소 내부에 존재하는 금속 불순물을 gettering 할 수 있는 능력을 가진 것으로 알려져 있다.

태양전지의 제조를 위한 규소 결정은 제조 가격의 저가화를 위하여 저급의 규소원료를 사용하고자 노력 중이다. 저급의 규소원료는 금속 불순물 등을 포함하기 때문에 gettering 공정이 필요하다. 태양전지 제조에서는 aluminum이나 phosphorous를 이용한 gettering이 많이 연구되고 있다[2]. 실제로 규소 기판의 제조를 위하여는 wire sawing이나 ID sawing을 이용하고 있고 이 과정에서 많은 양의 기계적 손상이

규소 기판의 표면에 발생 된다. 태양전지의 제조에서는 이들 기계적인 손상이 전지의 효율 저하를 가져 오므로 먼저 caustic etching으로 제거한다. 그러나 만약에 이들 규소 결정의 slicing 공정에서 자연발생적으로 발생하는 이들 기계적인 손상을 결함의 발생으로 유도할 수 있다면 이들은 규소 기판내에 존재할 수 있는 금속 불순물의 제거에 도움이 될 수 있다. 이후에 이 결함 층을 제거하면 보다 순수한 규소 결정을 얻을 수 있다.

본 연구에서는 단결정과 다결정 규소 결정의 sawing 및 연마공정에서 발생할 수 있는 기계적인 손상을 이용한 구조적 결함(structural defects)의 발생 가능성을 연구 하고자 한다. 이 기계적 손상으로 적층 결함(stacking faults)이나 전위(dislocation) 등의 구조적 결함의 발생이 유도될 경우 이들 결함을 이용하여 결정 내부에 있는 금속 불순물의 제거가 가능 할 것이며 이를 이용한 태양전지의 저가화도 기여 할 것으로 기대된다.

2. 실험 방법

본 실험을 위하여 시료는 단결정 규소인 경우는 Czochralski법으로 성장된 규소결정 기판을 사용하였고, 다결정 규소 시편은 미국의 GT-MX225를 이용해 성장된 240 kg급 잉곳을 wire saw로 slicing 한 규소 기판을 사용하였다. 본 실험에 사용되는 단결정 시편의 산소 농도와 비저항은 각각 14 ppma와 1~3 W·cm 이고 다결정의 비저항은 1~2 W·cm이다. Wire sawing 공정에 사용되는 slurry는 직경이 7 mm인 SiC powder이다. 규소 표면의 결함의 발생을 위해서 1100°C에서 2시간 동안 습식산화(wet oxidation)를 시켰다[3]. 이 산화과정 후에 HF : H₂O의 비를 1 : 1로 섞은 용액을 이용하여 시편의 산화막을 제거 하였다. 다음에 결함관찰을 위하여 5분 동안 Wright etching을 실시하였다[4]. 결함의 관찰은 광학현미경과 주사전자현미경(scanning electron microscope, SEM)을 사용하였다.

3. 결과 및 고찰

규소결정을 sawing하는 과정에서 crack이나 전위가 발생할 가능성이 제기되고 있다[5]. 이것은 sawing 과정에 규소에 부가되는 하중이 매우 크기 때문이다. 만약에 sawing 과정에서 규소표면에 전위가 발생 한다면 이것을 이용하여 결정속의 불순물의 제거도 가능 할 것이다. 즉 반도체 공정에서 사용되는 extrinsic gettering이 가능 할 것이다. 본 실험에서는 우선 이들 sawing 공정에 존재할 수 있는 결함을 관찰하였다. Fig. 1은 wire saw로 절단한 단결정과 다결정 실리콘 웨이퍼의 실험용 시편의 표면을 SEM 을 이용하여 관찰한 결과이다. 사진에서 보듯이 표면이 너무 거칠어서 결함의 존재 여부를 확인할 수가 없다. 표면에 존재 가능한 결함의 관찰을 위하여 Wright 용액을 이용하여 식각을 한 후 현미경으로 관찰한 결과는 Fig. 2에 있다. 이 그림에서 보듯이 결함으로 인한 etch pit은 발견되지 않고 있다. 이들 결과로부터 규소 결정의 절단과정에서 전위 결함은 발생치 않음을 알 수 있다. 이것은 일반 금속과는 다르게 규소결정의 경우는 전위의 발생이나 이동이 상온에서 불가능하기 때문인 것으로 판단 된다[6]. 다만 micro crack인 경우엔 etching 공정에서 제거 되므로 존재하더라도 규명이 어려울 것으로 판단된다. 이와 같이 시편의 표면이 sawing 공정으로 거칠게 된 경우엔 기존의 식각의 방법으로는 결함을 관찰 할 수가 없다. 결함이 존재치 않더라도 기계적 손상이 존재한다면 산화공정에서 결함이 발생된다[1]. 따라서 결함이 결정성장중에 발생하는 것과 산화공정에서 발생하는 것을 구분할 필요가 있다. 우선 다결정 규소에 존재하는 결정성장중 발생 될 수 있는 결함을 관찰하기 위하여 표면을 연마 하여 손상 층을 제거한 후에 결함을 관찰하였다. 단결정의 경우엔 결함이 존재하지 않으며 방향성응고법으로 성장된 다결정 규소를 polishing한 후에 현미경으로 관찰한 결과는 Fig. 3에 있다. 사진에서 보듯이 잘 발달된 결정립계가 보이고 결정립계 외에도 twin이 많이 존재함을 알 수 있다. 특이한 사실은 결정립계가 매우 직선적인 점이다. 또한 대부분의 전위의 etch pit 들이 twin 면에 존재하고 있고 또한 twin의 형상이 성장된 전위의 방향과 일치하고 있다. 이는 twin의 형성이 내부에 적층 결함을 갖고 있는 partial dislocation의 성장과 관련이 있다는 사실을 확인 할 수 있다[7]. 이들 결함들은 규소의 결정성장 후의 냉각단계에서 발생한 열 응력에 기인된 slip형 결함과 그 형상이나 농도에서 차이가 있다. 사진에서 보듯이 시편 속의 결함의 농도는 약 104/cm²로서 기존의 냉각 중에 열 응력에 의하여 발생한 slip 전위의 농도(106/cm²)에 비하여 매우 낮다. 만약에 냉각과정에서 발생하는 열응력에 의한 slip 전위가 고농도로 규소 결정 내부에 존재 할 경우 규소 표면에 인위적으로 발생시키는 결함이나 aluminum 혹은 phosphorous 등에 의한 strained layer를 이용한 gettering의 적용 가능성이 매우 낮아

질 것이다. 결국 Czochralski법이나 Dendritic Web 방법으로 성장되는 규소 결정 속에 존재 (Czochralski법은 dislocated된 경우에 한함) 할 수 있는 slip형 전위의 농도에 비하여 저 농도의 slip 전위가 존재한 이유는 본 다결정 규소 시편의 준비과정에서 사용된 방향성 응고법에 응고 속도나 응고 후의 냉각 속도가 매우 낮게 적용된 것에 기인됨을 알 수 있다. 그 이유는 상기 두 방법은 결정성장 과정에서 발생하는 응고 잠열의 제거가 argon gas를 이용한 결정의 냉각에 의존하는 반면, 본 다결정 규소 시편의 준비에서 사용된 방향성 응고는 하부 pedestal로 부터의 radiation에 의한 냉각에 의존하기 때문이다.

다음에는 표면에 존재하는 기계적인 손상에 의하여 발생될 수 있는 결함을 관찰하였다. 우선 wire saw로 slicing된 표면을 갖는 시편들을 산화 공정처리 한 후의 표면결함을 관찰하였다. 이미 산화 공정으로 규소의 표면에 산화막이 형성되는 과정에서 silicon interstitial (Si(1)) 이 발생하는 사실은 확인되었다[8]. 이들 Si(1)는 적층 결함이나 전위를 발생시키는 것으로 알려져 있다[9]. Fig. 4에서는 wire saw로 slicing된 단결정과 다결정실리콘 시편을 1100°C에서 2시간 동안 습식산화 시키고 표면 관찰을 위하여 Wright 용액으로 식각 처리한 후 SEM으로 관찰한 결과를 보여 준다. 사진에서 보듯이 Fig. 3에서 보이는 결정 결함과는 다르게 결함들의 etch pit들이 dipole을 이루고 있음을 보이고 있다. 이들 etch pit들은 그 형상으로 보아 loop형 전위들로 예상된다. 또한 이들 결함들의 etch pit는 Fig. 4(a)에서 보듯이 표면이 (100)의 orientation을 갖는 단결정의 경우가 Fig. 4(b)의 다결정에 비하여 그 농도가 높다. 이 사실은 본 결함들의 발생 및 성장의 특성이 시편 표면의 방향성에 의존하는 사실을 보여준다. 이미 산화 적층결함(OISF)의 경우도 규소 표면의 방향성에 영향을 받고 있음이 알려져 있다. 즉 표면의 원자 배열이 치밀한 (111) 결정면 보다는 덜 조밀한 (100) 결정면에서 산화 적층 결함의 성장 속도가 높다[10].

Wire sawing으로 sliced된 표면을 갖는 규소 결정의 경우 표면이 너무 거칠어서 식각의 방법으로 충분한 결함의 관찰이 용이 하지 않다. 따라서 기판의 표면을 매끄럽게 한 후에 손상을 가하여 손상에 의한 결함의 발생을 자세히 연구할 필요가 있다. 우선 다결정 시편의 표면 손상에 의한 결함발생 기구를 더욱 관찰하고자 시편을 polishing 하여 표면을 매끄럽게 한 후에 추가로 SiC paper로 낮은 밀도의 기계적인 손상을 준 다음 산화공정을 거친 후 식각 처리를 하였다. 결함의 관찰결과는 Fig. 5에 나타나 있다. 이것을 표면의 손상이 없는 경우인 Fig. 3과 비교하여 보면 표면에 기계적인 손상이 존재하는 경우 고농도의 결함이 산화공정으로 인하여 발생하였음을 알 수 있다. 이들은 그 etch pit의 형상으로 보아 대부분이 산화 적층결함(OISF)이다. 이 사실로부터 다결정 규소라도 표면에 기계적인 손상이 존재하면 산화공정에 의하여 결함이 발생될 수 있음을 보았다. 이 사실은 다결정 규소 기판의 minority life time을 늘이는데 사용되는 gettering의 방법중에 aluminum이나 phosphorous 층을 이용한 방안 이외에 표면 결함을 이용한 방안도 고려 될 수 있는 가능성을 보았다.

다음에 규소 표면에 존재하는 기계적 손상의 크기에 따른 발생 결함의 종류에 대하여 관찰하였다. 시편은 단결정 규소를 사용하였으며 결함 관찰을 용이하게 하기 위하여 표면을 polishing 하였고, 가해지는 기계적인 손상은 입자크기가 6 mm와 0.05 mm인 diamond slurry를 이용하였다. Fig. 6은 6 mm 크기의 diamond slurry로 기계적인 손상을 가한 시편을 산화 및 식각 공정을 거친 후 SEM으로 관찰한 결과이다. 사진에서 보듯이 3가지의 결함이 관찰되고 있다. 우선 기존의 반도체용 규소 뒷면 에 extrinsic gettering을 위하여 가해지는 기계적인 손상(wet blasting)에 의하여 주로 발생하는 산화적층결함(OISF)이 보인다. 또 하나는 커다란 multiple형태의 loop이다. 이것은 그 형상으로 보아 multiple dislocation loop으로 판단된다. 다음에는 그 etch pit의 형상이 동굴형인 소형 결함이다. 이 동굴형 etch pit도 역시 어떤 형태의 선결함(전위)으로 인하여 발생된 것으로 판단된다. 여기서 흥미로운 것은 OISF와 이들 loop 형태의 전위로 판단되는 etch pit이 이루는 각도가 약 45°라는 사실이다. 즉 이들이 서로 동일 결정면상에 존재하지 않는다는 사실이다. 이미 OISF는 규소의 {111} 결정면에 존재하는 것이 알려져 있다[11]. 즉 이 산화 적층 결함(OISF)은 면간 거리가 가장 긴 {111} 결정면 사이에 규소의 Si(1)로 구성되고 있으므로 당연한 현상으로 이해된다. 그러나 이 대형 loop형이나 동굴형의 etch pit을 야기시키는 결함은 {111} 결정면상이 아니라 {110} 결정면상에 놓여 있는 것으로 판단된다. 이것은 결국 이들 결함이 내부에 적층결함을 포함 하지 않은 전위일 것으로 유추 된다. 즉 규소는 diamond cubic의 결정구조이므로 FCC와는 다르게 원자가 가장 조밀한 결정 면이 (111)이 아니라 (110)이다. 이들 결함들이 기계적인 손상만으로 형성 되지 않고 산화공정을 거친 후에 발생하는 사실로 보아 역시 산화공정 중에 발생하는 규소의 Si(1)로 인하여 발생된 결함으로 판단된다. 이미 과포화된 점결함들이 모여서 전위를 증식하는 기구는 소위 Bardeen-Herring 기구로서 알려져 있다[12]. 즉 과포화된 점결함은 전위의 climb force와 아래의 식으로 균형을 이루게 된다.

$$f = bkT/W \ln(C/Co) = aGb^2/R$$

여기서 규소에 관한 상수들을 넣고 반지름이 약 25 nm (Fig. 6)인 전위의 상승을 위한 점결함의 과포화도(C/Co)를 계산하면 1.005가 된다. 이것은 규소 결정의 경우 산화공정을 위한 온도 1100°C에서는 점결함이 낮은 과포화도만 있어도 전위의 상승(climb)이 이루어져 증식이 가능할 수 있음을 보여준다. 이로 인한 전위의 모습은 multiple dislocation loop의 형태가 된다[12]. 따라서 본 실험에서 관찰한 대형의 etch pit는 multiple dislocation loop에 의하여 기인된 것으로 판단된다.

다음에 동굴 형의 etch pit을 야기하는 결함은 이 대형 multiple dislocation loop과 동일한 방향성을 갖는다. 이는 이것이 OISF와는 다른 성질의 결함이고 오히려 multiple dislocation loop과 동일 성격의 결함을 알 수 있다. 이것은 기계적인 손상이 있는 부위에서 산화 공정 중에 발생하는 과포화된 점결함들이 모여서 multiple dislocation loop으로 성장되는 과정에 있는 결함으로 유추된다. 이들 3가지 형태의 etch pit을 야기시키는 결함들은 모든 시편들이 동일한 산화공정을 거치므로 규소 표면에 존재하는 기계적인 손상의 크기에 따라 발생여부가 결정될 수 있음을 예상할 수 있다. 따라서 단결정 규소를 이용하여 Fig. 6의 시편에 사용된 slurry보다 작은 입자로 기계적 손상을 가한 경우를 살펴 볼 필요가 있다.

Fig. 7은 0.05 mm 크기의 diamond 입자로 구성된 연마용 slurry를 이용하여 기계적인 손상을 가한 시편을 SEM으로 관찰한 결과이다. 그림에서 보듯이 대부분의 etch pit이 OISF로 기인된 것임을 보인다. 또한 동굴 형의 etch pit을 야기시키는 결함의 수는 Fig. 6의 시편보다는 적고 대형 multiple dislocation loop으로 기인된 결함은 존재하지 않는다.

이상의 관찰로부터 다음의 결함 발생 시나리오를 구상할 수 있다. 규소 표면에 기계적인 손상이 있는 부위는 산화 공정 중에 발생하는 점결함(여기서는 주로 interstitial, Si(I)이 모여든다. 이 모여든 점결함들은 선결함 혹은 면결함을 형성한다. 이 때 핵 생성이 되는 결함은 손상된 부위의 손상 크기에 따라 partial dislocation과 perfect dislocation으로 구분된다. 손상된 부위의 크기가 작으면 탄성에너지가 적은 partial dislocation으로 된다. 여기서 partial dislocation은 그 Burgers 벡터가 $1/3(111)$ 의 Frank 형태이다. 이것의 탄성에너지는 Burgers 벡터가 $1/2(110)$ 인 perfect dislocation의 탄성 에너지보다 낮다. 따라서 손상의 크기가 큰 경우엔 partial 보다는 perfect dislocation으로 될 가능성이 커진다. 일단 perfect dislocation이 형성이 되면 그 etch pit은 동굴 형으로 보인다. 이후에 산화공정이 진행될수록 점결함이 과포화됨에 따라 이 결함이 더욱 증식을 하여 대형 multiple dislocation으로 성장될 것이다.

4. 결 론

규소결정 표면에 기계적인 손상이 존재하면 산화 공정 중에 결함이 발생한다. 3가지 종류의 결함이 발생하는데 손상의 크기에 따라서 산화 적층 결함(OISF), 소형 전위, 대형 multiple dislocation loop이 발생된다. 손상의 크기가 작을 경우엔 산화 적층 결함이, 손상의 크기가 클 경우엔 dislocation loop이 많이 발생된다. 방향성 응고 법으로 성장된 규소 결정 내부에는 twin과 stacking fault 등이 존재하며 grain boundary는 직선 형이다. 또한 냉각 중에 발생 가능성이 있는 열 응력에 의한 slip형 전위는 거의 발견되지 않는다. 이들 결정 내부의 결함들과 표면에 기계적인 손상에 의한 결함들의 발생 및 형상으로부터 방향성 응고법으로 성장된 다결정 규소의 경우 saw damage 등의 표면의 기계적인 손상이 금속 불순물의 농도를 적게 하는 gettering에 사용될 수 있는 가능성을 보였다.

감사의 글

본 연구는 인천대학교 2003(김종범), 2004(김영관)년도 공모과제지원에 의하여 수행되었습니다.

참 고 문 헌

- [1] H.J. Queisser and P.G.G. van Loon, 및rowth of lattice defects in silicon during oxidation? J. Appl. Phys. 35 (1964) 3066.
- [2] I. Perichaud, 및ettering of impurities in solar silicon? Solar Energy Materials & Solar

Cells. 72 (2002) 345.

[3] C.-Y. Choi, J.-H. Lee and S.-H. Cho, Characterization of mechanical damage on structural and electrical properties of silicon wafers? Solid-State Electronics. 43 (1999) 2011.

[4] M.W. Jenkins, A new preferential etch for defects in silicon crystals? J. Electrochem. Soc. 124 (1977) 757.

[5] H.S. Oh, J.R. Kim, T.H. Kim, J.J. Yu, H.L. Lee, J.H. Lee and D. Rice, In Defects in Silicon? T. Abe. 99-1 (The Electrochemical Society Proceedings Series, New Jersey, 1999) 100.

[6] M. Imai and K. Sumino, Philos. Mag. 47 (1983) 599.

[7] J.W. Mayer and S.S. Lau Electronic materials science: for integrated circuits in Si and GaAs? (Macmillan Publishing Company, New York, 1990) 174.

[8] K.V. Ravi and C.J. Varker, Oxidation-induced stacking faults in silicon. I. Nucleation phenomenon? J. Appl. Phys. 45 (1974) 263.

[9] M.L. Joshi, Stacking faults in steam-oxidized silicon? Acta Metall. 14 (1966) 1157.

[10] S.M. Hu, Anomalous temperature effect of oxidation stacking faults in silicon? Appl. Phys. Lett. 27 (1975) 165.

[11] F. Secco and M. Ragona, A dislocation etch for (100) planes in silicon? J. Electrochem. Soc. 119 (1972) 948.

[12] D. Hull and D.J. Bacon, Introduction to dislocation? 3rd Edition, 37 (Pergamon Press, New York, 1984) 172.

Corresponding author

tel: +82-32-770-8272

fax: +82-32-761-6658

mail: youngkim@incheon.ac.kr

Fig. 5. Optical micrograph of the oxidized multi-crystalline silicon surface which was scratched with SiC paper (#800). (Wet oxidation at 1100°C for 2 hours, Wright etched for 5 minutes, 1000x).

Fig. 6. SEM image of the etched surface of the silicon wafer oxidized at 1100°C for two hours in wet atmosphere. Before oxidation, the surface was polished with diamond slurry of 6 μm particle (1000x).

Fig. 7. SEM image of the etched surface of the silicon wafer oxidized at 1100°C for two hours in wet atmosphere. Before oxidation, the surface was polished with diamond slurry of 0.05 μm particle (1000x).