

## Utilization of the surface damage as gettering sink in the silicon wafers useful for the solar cell fabrication

Dae Il Kim and Young Kwan Kim<sup>†</sup>

Department of Material Science & Engineering, University of Incheon, Incheon 402-749, Korea

(Received March 2, 2006)

(Accepted April 4, 2006)

**Abstract** Various kind of structural defects are observed to be present on the oxidized surface of the silicon crystal which was previously damaged mechanically. The formation of such defects was found to depend on the amount of damage induced and the temperature of thermal oxidation. It was confirmed by the measurement of minority carrier life time that gettering capability decreases as the size of the defects increase. The strained layer which is formed due to smaller amount of damage or lower oxidation temperature believed to has higher capability of gettering over defects like dislocation loops or stacking faults.

**Key words** Defects, Strained layer, Silicon crystal, Gettering

## 태양전지용 규소 기판에 존재하는 기계적 손상의 gettering 공정에서의 활용

김대일, 김영관<sup>†</sup>

인천대학교 신소재공학과, 인천, 402-749

(2006년 3월 2일 접수)

(2006년 4월 4일 심사완료)

**요약** 실리콘 웨이퍼 표면에 기계적인 손상을 가한 후 산화 열처리 공정을 실시하면 온도와 기계적인 손상의 크기에 따라 여러 가지 결정 결함이 발생된다. 기계적인 손상이 크고 열처리 온도가 증가함에 따라 dislocation loop 등의 대형 결함들이 발생되고 열처리 온도가 낮거나 손상의 크기가 작을수록 OISF(Oxidation Induced Stacking Faults) 등의 소형 결함들이 많이 발생된다. Minority carrier lifetime을 측정하여본 결과 결함의 크기가 작을수록 minority carrier lifetime이 높은 것으로 밝혀졌다. 더욱이 dislocation loop 등의 결정 결함보다는 결함 발생 이전 단계인 strained layer등이 금속불순물에 대한 gettering의 효과가 더욱 높음을 알 수 있었다.

### 1. 서론

결정질 실리콘은 반도체의 기본 재료일 뿐만 아니라 태양전지의 제조에서도 가장 널리 사용되는 재료이다. 이에 대한 이유는 여러 가지 있지만 그 중에 가장 특이한 것은 고체 상태에서 기판 속에 존재하는 금속불순물을 제거할 수 있는 gettering 공정의 적용 가능성이다[1]. 반도체 제조공정에서도 여러 가지 gettering 공정이 개발되어 적용되어 기판의 표면의 금속 불순물을 제거하고 있다. 더욱이 현재 규소 원료의 부족과 태양전지 저가의 필요성으로 인하여 저가의 규소 원료의 사용에 대한

요구가 높아지고 있어 또한 gettering의 필요성이 더욱 높아지고 있다. 반도체 공정에서는 과포화된 산소를 이용하여 기판의 내부에 결함의 발생을 유도하여 intrinsic gettering을 시행하고 있다. 그러나 이 방법은 태양전지에서는 사용이 불가능하다. 그 이유는 태양전지는 기판의 표면만 사용하지 않고 기판 전체가 사용되기 때문이다. 따라서 태양전지용 규소 기판에서는 기판의 외부의 요인을 이용한 extrinsic gettering이 주로 사용된다. 이미 태양전지 제조 공정에서는 aluminum 이나 phosphorous를 gettering source로 이용한 extrinsic gettering을 사용하고 있다[2].

이 aluminum layer 혹은 phosphorus 원자들의 확산에 의하여 표면에 형성 되는 strained layer는 금속 불순물을 흡착하는 성질이 있어 내부에 존재하는 불순물을 기판의 표면으로 유도한다. Aluminum 층이 gettering 효

<sup>†</sup>Corresponding author

Tel: +82-32-770-8272

Fax: +82-32-761-6658

E-mail: youngkim@incheon.ac.kr

과가 있는 것은 금속 불순물의 용해도가 규소에서 보다 aluminum에서 높기 때문으로 해석이 되고 있다[3]. 태양 전지의 제조 공정에서는 이 두 재료를 이용한 gettering 기술은 따로 공정이 추가되지 않는다. 왜냐하면 phosphorous는 표면의 emitter층의 형성을 위하여 사용되고 있고, aluminum은 후면에 BSF(back surface field)층의 형성을 위하여 사용되고 있기 때문이다. 또한 최근에는 기판 표면에 porous 층을 형성하여서 이 층을 gettering source로 이용하는 기술도 시도 되고 있다[4]. 이 porous 층은 적절한 산을 이용한 식각 처리로 생성된다. 이 식각 처리된 표면은 매우 거칠어서 표면적이 매우 넓게 된다. 이 식각 처리된 규소 표면이 내부의 금속 불순물을 흡착하는 gettering의 효과가 있다는 사실은 규소 절단 과정에서 기계적으로 생성된 거친 표면의 gettering source로서의 사용 가능성을 높인다.

본 연구에서 시도 하고자 하는 것은 규소 기판의 제조 공정에서 sawing 과정에서 자연적으로 발생하는 기계적인 손상을 gettering source로써 사용 가능성을 알아보는 것이다. 이미 기계적인 손상이 있으면 산화 공정 중에 결함이 발생되고 이를 이용하는 기술이 반도체 제조 공정에 적용되고 있다[5]. 즉 sand blasting을 이용하여 etching 된 기판의 후면에 기계적인 손상을 주어서 산화적층 결함(oxidation induced stacking faults, OISF)을 발생시킨 후에 이를 이용하여 차후 공정에서 발생 될 수 있는 금속의 오염을 줄이고 있다[6]. 그러나 반도체 공정에서 사용되는 손상은 매우 적은 양이다. 반면에 wire saw나 diamond saw를 이용한 절단과정은 훨씬 커다란 기계적인 손상을 규소의 표면에 남기게 한다. 현재 기판의 표면에 남아있게 되는 이들 기계적인 손상은 긍정적으로 활용되지 못하고 태양전지 제조 공정의 초기에 산 처리로 제거된다. 본 연구에서 이용하고자 하는 결정결함은 산화 공정(thermal oxidation)을 통하여서 발생시키고, 이것의 gettering의 효율성은 minority carrier lifetime을 측정하여 확인하고자 한다. 또한 본 연구에서는 가해지는 기계적인 손상의 크기와 산화공정 온도와 gettering 효율과의 상관 관계를 연구하여 최적의 gettering 공정의 조건을 확립하고자 한다.

## 2. 실험 방법

이 실험에 사용된 시편은 Czochralski법으로 성장시킨 (100)방향의 p-type의 태양전지용 웨이퍼에서 채취하였다. 기판의 비저항은 1~2  $\Omega\text{cm}$ 이며 두께는 300  $\mu\text{m}$ 이고 크기는 2 cm $\times$ 2 cm이다. 규소 표면의 결함의 발생에 미치는 산화 공정 온도의 영향을 알아보기 위하여 900°C, 1000°C, 1100°C에서 각각 2시간 동안 습식으로 산화막

을 형성 시켰다. 이 산화공정 후에 HF:H<sub>2</sub>O를 1:1의 부피비로 섞은 용액을 이용하여 시편의 산화막을 제거하였다. 그리고, 각 온도의 산화 열처리 후에 gettering의 효율을 비교 하기 위하여 minority carrier lifetime의 변화를 QSSPC(quasi-steady-state photoconductance)를 이용하여 측정하였다.

또한, 기계적인 손상의 크기가 gettering의 효율에 미치는 영향을 알아보기 위하여 6  $\mu\text{m}$ , 1  $\mu\text{m}$ , 0.05  $\mu\text{m}$ 의 입자 크기를 갖는 diamond slurry를 이용하여 웨이퍼 전 후면에 인위적으로 기계적인 손상을 주었다. 웨이퍼 전 후면에 인위적으로 기계적인 손상을 가한 후 900°C, 1000°C, 1100°C에서 각각 습식산화를 시켰다. 결함관찰을 위하여 5분 동안 Wright etching을 실시하였다[7]. 결함의 관찰은 주사전자현미경(scanning electron microscope, SEM)을 사용하였다.

## 3. 결과 및 고찰

규소결정의 sawing 공정 중에 발생하는 기계적인 손상을 이용하여 산화 공정을 실시하면 적층 결함이나 전위를 생성 시킬 수 있을 것이며 이를 이용하여 extrinsic gettering이 가능 할 것이다. 본 실험에서는 우선 sawing 공정을 거친 웨이퍼 표면에 기계적인 손상이 남아있는 태양전지용 웨이퍼를 이용하여 결함을 발생 시키고 그를 이용한 gettering 실험을 실시 하였다. Fig. 1은 CZ법으로 성장시킨 태양전지용 규소 잉곳을 wire sawing 공정

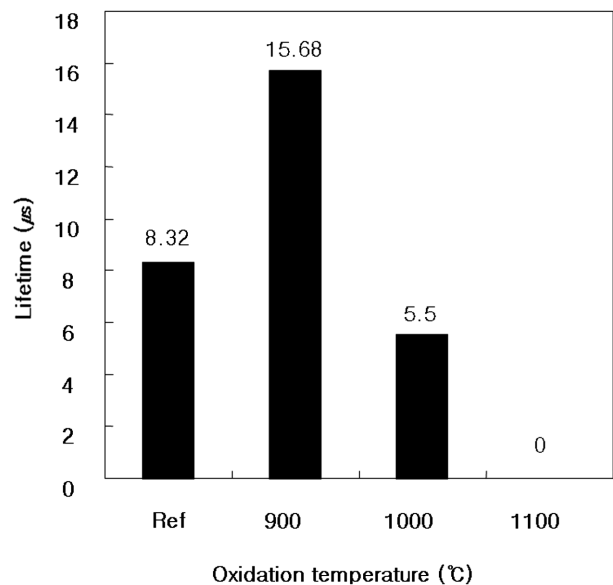


Fig. 1. Minority carrier life time measured on silicon wafers. Before measurement, specimen are oxidized at three different temperatures for two hours and oxides are stripped with HF solution.

Table 1  
Minority carrier life time measured on the specimen

	Reference	0.05 $\mu\text{m}$	1 $\mu\text{m}$	6 $\mu\text{m}$
900°C	2.7 $\mu\text{s}$	4.7 $\mu\text{s}$	5.7 $\mu\text{s}$	1.1 $\mu\text{s}$
1000°C	3.9 $\mu\text{s}$	4.2 $\mu\text{s}$	4.6 $\mu\text{s}$	0.8 $\mu\text{s}$
1100°C	3.93 $\mu\text{s}$	1.35 $\mu\text{s}$	0.74 $\mu\text{s}$	1.21 $\mu\text{s}$

으로 웨이퍼를 만든 후에 표면에 존재하는 기계적인 손상을 그대로 유지 시킨 후 900°C, 1000°C, 1100°C에서 산화공정 시킨 후 기판 내부의 minority carrier lifetime을 측정된 결과이다. 그림에서 보듯이 900°C에서 산화공정을 실시한 시편에서 minority carrier life time이 가장 높게 나타났다. 또한 1000°C 이상의 온도에서 산화 열처리한 시편에서는 아무 처리를 안 한 reference 시편에 비하여도 minority carrier lifetime이 낮게 측정이 되었다. 더욱이 Table 1에서 보듯이 1100°C에서 산화공정 처리를 한 시편에서는 minority carrier life time의 값이 측정이 안 될 정도로 낮다. 이미 1100°C에서 이들 시편을 산화 공정 열처리한 경우에 대형 dislocation loop이 표면에 발생된 것이 확인 되었다[8]. 그러나 산화공정 온도가 낮아짐에 따라 측정된 minority carrier life time의 값은 증가 한다. 또한 온도가 낮아 짐에 따라 결함의 크기는 작아질 것으로 예상 되고 있다. 따라서 대형 dislocation loop이 주변의 금속 불순물을 흡착하는 gettering 능력이 소형 결함들에 비하여 떨어진다고 예상 할 수 있다. 이미 규소결정에서 산화적층결합(OISF)을 이용한 gettering 효율에 대한 연구에서는 minority carrier life time의 측정치가 손상을 가해 주는 압력에 단순 비례치 않고 적절하여야만 최상이 된다는 사실이 확인된바 있다[9].

여기서 규소 결정 표면에 존재하는 기계적인 손상의 크기가 주는 결함 발생의 효과와 이에 따른 gettering 효과를 검토할 필요가 있다. 본 실험에서는 이를 위하여 기계적인 손상의 크기에 변화를 주기 위하여 여러 크기의 polishing용 diamond slurry를 사용하여 lapping 공정을 실시하였다. 사용된 slurry속의 diamond 입자 크기는 각각 6  $\mu\text{m}$ , 1  $\mu\text{m}$ , 0.05  $\mu\text{m}$ 이다. Fig. 2는 이를 이용하여 인위적으로 기계적인 손상을 준 다음에 900°C에서 산화 공정 시킨 시편 표면의 결함을 SEM을 이용하여 관찰 한 모습을 보여 주고 있다. Fig. 2(a), (b)에서 보듯이 diamond 입자가 1  $\mu\text{m}$  이하인 경우에는 표면에 결함들의 etch pit이 관찰되고 있지 않다. 이는 이들 크기의 diamond 입자들이 주는 기계적인 손상의 크기가 결함의 발생을 위한 핵 생성에 충분치 않기 때문으로 판단된다. 그러나 Fig. 2(c)에서 보듯이 diamond 입자의 크기가 6  $\mu\text{m}$ 인 경우엔 dislocation loop 형태의 결함이 발생함을 보인다. Etch pit의 형상으로 보아 loop형 결함으로 예상된다. 이들 형상의 결함들은 이미 wire sawing된 표

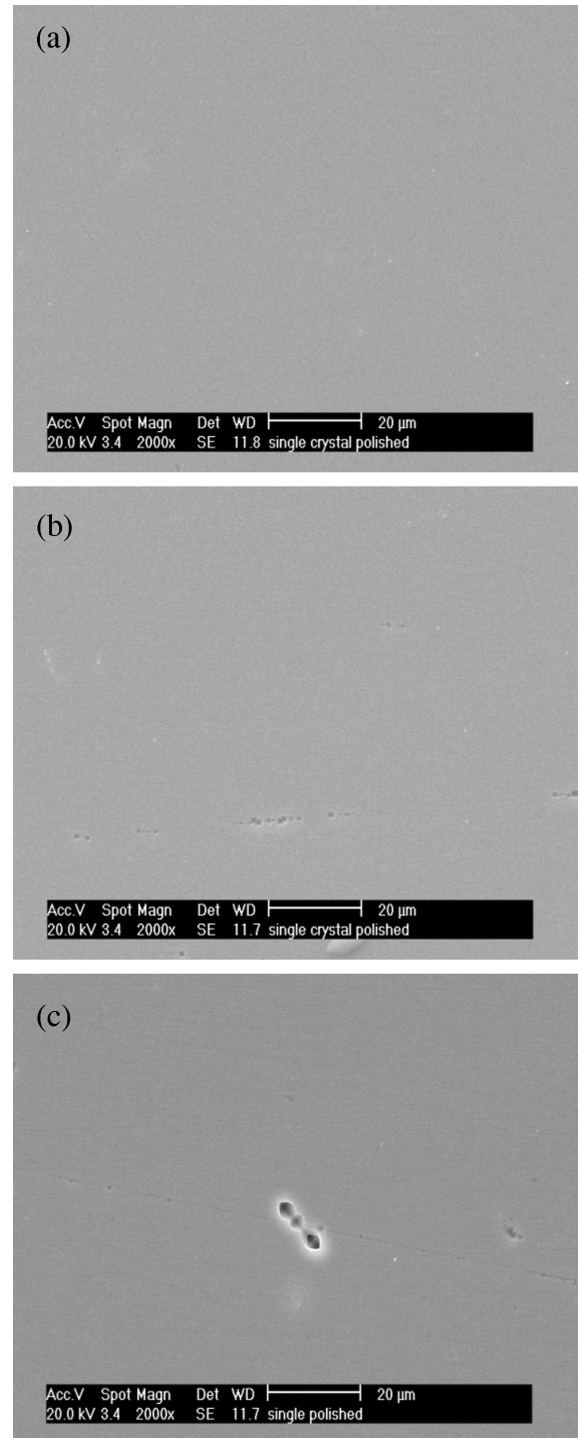


Fig. 2. SEM image of the etched surface of the silicon wafer oxidized at 900°C for two hours in wet atmosphere. Before oxidation, the surface was lapped with (a) 0.05  $\mu\text{m}$ , (b) 1  $\mu\text{m}$ , (c) 6  $\mu\text{m}$ , diamond slurry particle.

면에서 발견된 바 있다[10]. 이들 시편을 이용한 minority carrier lifetime의 측정 결과는 Table 1에 있다. Table 1에서 보듯이 이들 세 개의 시편 중에서 1  $\mu\text{m}$  크기의 입자로 기계적인 손상을 준 시편에서 가장 높은 lifetime이 측정 되었다. 즉 결함은 관찰되지 않았지만 gettering의

가능성은 가장 높음을 보였다. 오히려 결함이 가장 많이 관찰된 6  $\mu\text{m}$ 인 경우가 life time이 가장 낮으며 reference보다도 낮은 수치를 보였다. 이로부터 gettering을 위하여는 전위 등의 결함보다는 오히려 결함 발생 이전의 strained된 상태가 더욱 효과적 일수도 있다는 가능성을

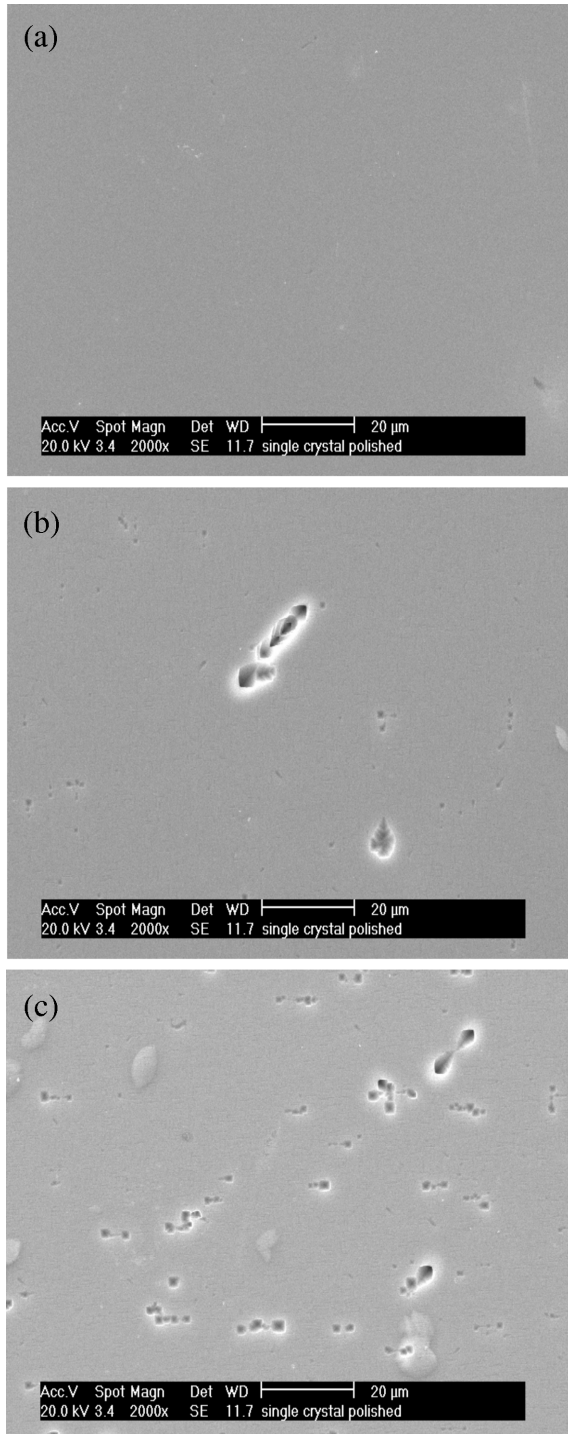


Fig. 3. SEM image of the etched surface of the silicon wafer oxidized at 1000°C for two hours in wet atmosphere. Before oxidation, the surface was lapped with (a) 0.05  $\mu\text{m}$ , (b) 1  $\mu\text{m}$ , (c) 6  $\mu\text{m}$ , diamond slurry particle.

보인다. 이 예상은 aluminum이나 phosphorus를 이용한 gettering의 효과와도 상통된다. 즉 이들 원소를 이용할 경우에 결정결함은 발생되지 않는다. 다만 이들 원소들로 인하여 점 결함 등이 과 포화된 상태가 예상되는데 gettering의 효과는 있다고 보고 되고 있다[3].

결함 발생과 gettering의 효과와의 상관관계를 더욱 확인하기 위하여 더 고온에서의 산화공정의 시도가 필요하였다. Fig. 3에서는 상기와 같이 세 가지 크기의 polishing powder를 이용하여 기계적인 손상을 준 시편을 1000°C에서 산화공정을 시킨 결과이다. 그림에서 보듯이 입자의 크기가 0.05  $\mu\text{m}$ 인 경우에는 결함으로 인한 etch pit이 보이지 않는다. 또한 입자의 크기가 커질수록 결함의 농도가 증가함을 알 수 있다. 이들 시편에서 minority carrier lifetime을 측정한 결과는 역시 Table 1에 있다. Table 1에서 보듯이 0.05  $\mu\text{m}$  크기의 다이아몬드 입자로 손상을 준 시편에서 minority carrier life time이 가장 높게 나왔다. 즉 결정 결함은 발견되지 않았으나 minority carrier life time 측정치는 가장 높았다. 1000  $\mu\text{m}$ 에서 산화공정을 실시한 경우엔 1  $\mu\text{m}$ 의 입자로 손상을 준 시편에서 6  $\mu\text{m}$  크기의 입자로 손상을 준 것을 900  $\mu\text{m}$ 에서 산화 열처리한 시편에서와 비슷한 형상과 크기의 결함이 관찰되었다. 이 사실은 이들 결함들의 발생이 주어진 기계적인 손상의 크기와 산화 공정 열처리 온도에 의하여 영향을 받는다는 사실을 유추케 한다. 즉 일종의 thermo-mechanical process임을 예상 할 수 있다.

다음에는 이들 세 개의 시편을 기존 반도체 공정에서 가장 많이 사용하는 1100°C에서의 산화 열처리를 실시하였다. Fig. 4에서 보듯이 이 경우에는 세 가지의 시편 모두에서 결함이 관찰되었다. 특히 0.05  $\mu\text{m}$  크기의 입자로 손상을 준 경우엔 산화 적층 결함(OISF)이 매우 많이 생성 되었음을 보인다. Lapping 입자가 커질수록 OISF보다는 대형 dislocation loop 형태가 많이 발생되었다. 더욱 흥미로운 것은 OISF가 놓여있는 결정면이 dislocation loop이 놓여 있는 결정면과 서로 약 45°를 이루고 있다는 사실이다. 이미 OISF는 그 bounding dislocation의 Burgers vector가 1/3(111) 형태이며 따라서 (111) 결정면에 놓여있는 것으로 알려져 있다[11]. 여기서 발생하는 dislocation loop은 그 발생 기구가 이미 발생된 OISF가 shockley형 dislocation과 동일 결정면에서 반응에 의하여 생성된 a/2(110) 형태의 perfect dislocation 아님을 예상케 한다. 이들 시편에 대한 minority carrier lifetime의 측정 결과는 Table 1에 있다. Table 1에서 보듯이 대부분의 경우에 lapping powder의 크기에 상관없이 reference보다도 낮은 수치를 나타낸다. 그 중에서 dislocation loop보다는 OISF가 많은 0.05  $\mu\text{m}$  크기의 입자로 손상을 준 것이 가장 높은 수치를 나타내었다.

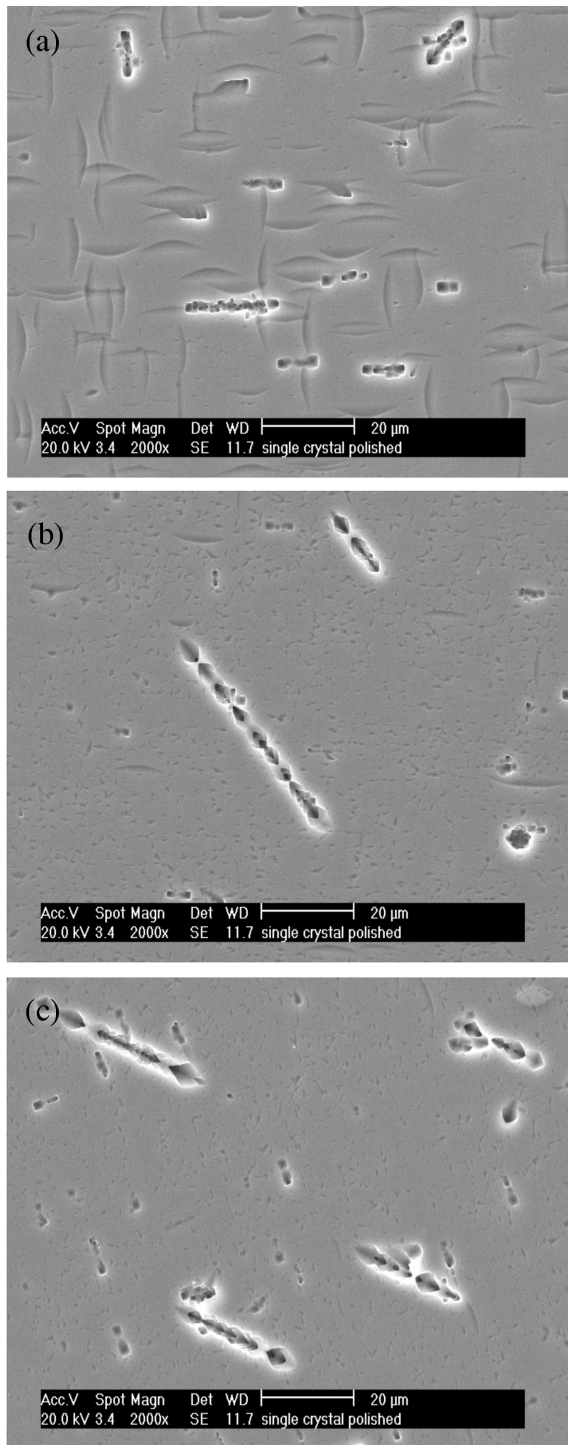


Fig. 4. SEM image of the etched surface of the silicon wafer oxidized at 1100°C for two hours in wet atmosphere. Before oxidation, the surface was lapped with (a) 0.05  $\mu\text{m}$ , (b) 1  $\mu\text{m}$ , (c) 6  $\mu\text{m}$ , diamond slurry particle.

#### 4. 결 론

1) 규소 결정의 표면에 산화 공정 후에 발생하는 결함은 기계적인 손상의 크기와 산화 공정의 온도에 크게 영향을 받는다.

2) 규소 기판의 표면에 있는 기계적인 손상을 이용하여 결정결함을 발생 시키고 이를 이용하여 금속 불순물의 제거 가능성을 확인 하였다. Wire sawing처럼 기계적인 손상이 큰 경우엔 1100°C에서 보다는 900°C에서의 산화 공정이 gettering 효과가 높게 나타났다.

3) 기계적인 손상이 크고 고온 산화 공정에서 주로 발생하는 multiple dislocation loop이나 OISF 등의 결정 결함 보다는 점결함들로 의한 strain layer 등이 gettering의 효과가 더욱 높게 나타났다.

4) 불순물이 비교적 많은 저가의 규소 원료를 이용한 태양전지의 제조에 도움이 될 수 있는 가능성을 보인다.

#### 감사의 글

본 연구는 인천대학교 2004년도 공모과제지원에 의하여 수행되었습니다.

#### 참 고 문 헌

- [ 1 ] L. Baldi, G. Cerofolini and G. Ferla, "Heavy metal gettering in silicon device processing", J. Electrochem. Soc. 127 (1980) 164.
- [ 2 ] I. Perichaud, "Gettering of impurities in solar silicon", Solar Energy Materials & Solar Cells. 72 (2002) 345.
- [ 3 ] L. Kazmerski, "Polycrystalline silicon: Impurity incorporation and passivation", Proc. 6th European Photovoltaic Solar Energy Conf. London (1985) 83.
- [ 4 ] N. Khedher, A. Ben Jaballah, M. Hassen, M. Hajji, H. Ezzaouia, B. Bessais, A. Selmi and R. Bennaceur, "Gettering by heat thermal processing: application in crystalline silicon solar cells", Materials Science Semiconductor Processing 7 (2004) 439.
- [ 5 ] H. Tsuya and F. Shimura, "Transient behavior of intrinsic gettering in CZ silicon wafers", Phys. Status Solidi. 79 (1983) 199.
- [ 6 ] J.E. Lawrence, "Metallographic analysis of gettered silicon", Trans. Metall. Soc. 242 (1968) 484.
- [ 7 ] M.W. Jenkins, "A new preferential etch for defects in silicon crystals", J. Electrochem. Soc. 124 (1977) 757.
- [ 8 ] D.I. Kim, J.B. Kim and Y.K. Kim, "The influence of mechanical damage on the formation of structural defects on the silicon surface during oxidation", Journal of the Korean Growth and Crystal Technology 15 (2005) 45
- [ 9 ] C.-Y. Choi, J.-H. Lee and S.-H. Cho, "Characterization of mechanical damage on structural and electrical properties of silicon wafers", Solid-State Electronics. 43 (1999) 2011.
- [ 10 ] J.M. Kim and Y.K. Kim, "Saw damage induced structural defects on the surface of silicon crystals", Journal of Electrochemical Society 152 (2005) 189
- [ 11 ] F. Secco d'Aragona, "Dislocation etch for (100) planes in silicon", J. Electrochem. Soc. 119 (1972) 948.