

시간 제약 조건과 면적을 고려한 효율적인 CPLD 기술 매핑

김재진*, 이관형**

An Efficient CPLD Technology Mapping considering Area and the Time Constraint

Jae-Jin Kim*, Kwan-Houng Lee**

요약

본 논문에서는 시간제약 조건하에서 면적을 고려한 CPLD 기술매핑 알고리즘을 제안한다. 본 기술매핑 알고리즘은 주어진 EDIF나 부울식의 불린 네트워크에서 케환을 검출한 후 케환이 있는 변수를 임시 입력 변수로 분리하여 DAG로 표현한 후 노드를 검색한 후 팬 아웃 프리 트리로 재구성한다. 시간제약 조건과 소자의 지연시간을 이용하여 그래프 분할이 가능한 다단의 수를 결정하여 매핑 가능 클러스터를 구성한다. 콜라핑(collapsing)을 통해 노드들을 병합하고, 주어진 소자의 CLB안에 빈 패킹(Bin packing)을 수행하였다.

본 논문에서 제안한 기술매핑 알고리즘을 MCNC 논리합성 벤치마크 회로들에 적용하여 실험한 결과 DDMAP에 비해 62.6%의 논리블록의 수가 감소되었고, TEMPLA에 비해 17.6% 감소되었다.

Abstract

In this paper, we propose a new technology mapping algorithm for CPLD consider area under time constraint. This algorithm detect feedbacks from boolean networks, then variables that have feedback are replaced to temporary variables. Creating the temporary variables transform sequential circuit to combinational circuit. The transformed circuits are represented to DAG. After traversing all nodes in DAG, the nodes that have output edges more than two are replicated and reconstructed to fanout free tree. Using time constraints and delay time of device, the number of graph partitionable multi-level is decided. Several nodes in partitioned clusters are merged by collapsing, and are fitted to the number of OR-terms in a given CLB by bin packing.

Proposed algorithm have been applied to MCNC logic synthesis benchmark circuits, and have reduced the number of CLBs by 62.2% than those of DDMAP. And reduced the number of CLBs by 17.6% than those of TEMPLA.

▶ Keyword : CPLD, 기술매핑(Technology Mapping), 시간제약조건, 면적

• 제1저자 : 김재진

• 접수일 : 2005.03.31, 심사완료일 : 2005.05.22

* 극동정보대학 컴퓨터정보과 교수, ** 청주대학교 전자정보공학부 전임강사

I. 서론

FPGA(Field Programmable Gate Array)와 CPLD (Complex Programmable Logic Device)는 디지털 회로 구현에 널리 사용되고 있다. 대부분의 FPGA는 LUT(Look up table)라는 기본 논리 블록(block)으로 구성되어 있으며, 몇몇의 FPGA의 경우 멀티플렉서(multiplexer)를 기본 구조로 구성되어 있는 것도 있다. 반면에 CPLD는 PLA(Programmable Logic Array) 형태의 기본 구조를 가지고 있다.[1][2]

기존에 제안된 기술 매핑 알고리즘들은 대부분 LUT 구조에 맞도록 제안되었다. 또한 이러한 알고리즘들은 면적 최소화와 지연시간 최소화에 중점을 두었다.[3][4][5][6] 이에 반해 CPLD의 경우 DDMAP, TEMPLA, TMCPLD 등 극소수의 기술 매핑 알고리즘만이 제안되어 있다.[7][8][9] 이러한 알고리즘들 중에서 주어진 시간 제약 조건을 고려한 기술 매핑 알고리즘으로는 TMCPLD만이 제안되어 있다.

그러나 TMCPLD는 펜 아웃 프리 트리 구성시 입력인 논리 회로 부분을 DAG로 구성한 다음, 종단 입력 노드에서 종단 출력 노드 방향으로 각 노드들을 검색하여 출력 에지 개수가 2 개 이상인 노드를 분할하지 않고 복제(replication)하여 생성하였다.[9]

복제에 의해 생성된 펜 아웃 프리 트리에서 OR팀의 개수를 각 노드의 비용으로 계산한다. 노드비용이 계산되면 논리 블록의 OR팀의 개수인 K-OR팀수보다 노드비용이 큰 노드를 분할점(cutpoint)으로 결정하여 이를 그래프 분할(graph partition)하게 되면 CPLD를 구성하고 있는 논리 블록에 매핑 가능한 노드들의 집합인 콘(n)을 생성한다.

생성된 콘(n)들은 콜랩싱 과정을 통해 각각의 부울식을 생성한 뒤, 논리 블록의 K-OR팀수에 맞게 빈 패키징을 수행하여 시간제약 조건하에서 CPLD 기술매핑 결과를 얻을 수 있었다.

그러나 TMCPLD는 그래프 분할을 위한 최종 비용이 논리 블록의 OR 팀수를 초과하는 경우 자식 노드를 모두 분할하였으며 다단의 수를 포함하여 고려함으로써 분할된 논리 블록의 수가 증가하는 단점을 가지고 있다.

또한 케환이 있는 순차회로를 고려하지 않아 순차회로에 대한 기술 매핑이 되지 않는 단점이 있다.

따라서 본 논문에서는 주어진 시간제약 조건하에서 면적을 고려하였으며, 순차회로에 대해서도 기술 매핑할 수 있는 CPLD 기술매핑 알고리즘(TMFCPLD)을 제안하였다.

II. 배경

디지털 회로의 조합논리 부분은 DAG(directed acyclic graph)로서 표현될 수 있다. DAG에서 각 노드(node)는 회로에서 하나의 연산자만을 가지고 있다. 또한 DAG에서 에지(edge)는 논리 함수(logic function)들 사이의 연결을 나타낸다.

CPLD를 구성하고 있는 논리 블록(logic block)은 여러 형태의 입력수와 서로 다른 형태의 논리 함수로서 구성된다. PLA 형태의 블록은 프로그램 가능한 AND-어레이(array)와 OR-어레이로 구성되어 있다. 이러한 형태의 논리 함수를 최소화하기 위해서는 2단(two-level) 구조의 최소화를 수행하여야 한다. 대다수의 CPLD는 많은 수의 PLA 형태를 가진 논리 함수들로 구성되어 있다.[1][2][3]

따라서 큰 회로를 하나의 CPLD로 구성하기 위해서는 2단 구조의 최소화를 수행하여야 한다. 또한 면적을 줄이기 위해 다단(multi-level)구조의 합성을 고려하여야 한다.

기존에 제안된 CPLD 기술 매핑 알고리즘에는 DDMAP, TEMPLA, TMCPLD 등이 있다. DDMAP과 TEMPLA의 경우는 시간 제약 조건을 고려하지 않았으며, TMCPLD는 시간 제약 조건을 고려하였으나 케환이 있는 순차 회로에 대해서 고려하지 않은 단점이 있다.[8][9][10]

따라서 본 논문에서는 이러한 단점을 보완하여 시간 제약 조건하에서 케환이 있는 순차회로에 대한 기술 매핑 알고리즘을 제안하였다.

III. 문제 정의

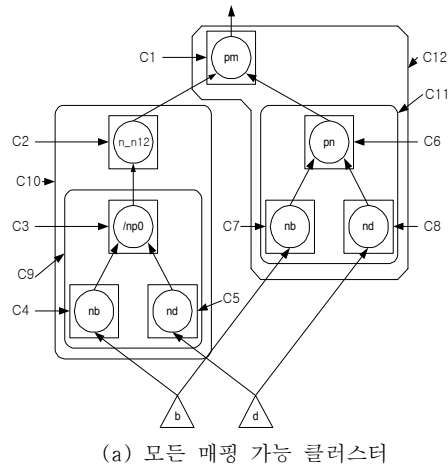
주어진 조합 논리 회로는 불린 네트워크(Boolean network)로 재구성 될 수 있다. 불린 네트워크는 DAG의 형태로 $G=(V, E)$ 로 표현된다. 각각의 노드 $v \in V$ 는 하나의 출력을 가진 논리 함수로 구성된다. 노드 $u \in V$ 의 출력이 되는 에지 $(u, v) \in E$ 는 노드 $v \in V$ 의 입력을 의미한다. V 를 구성하고 있는 노드의 집합(set)들 중에서 출력 에지(out-degree)가 0인 노드를 최종 출력(PO : primary output)이라 정의하고, 입력 에지(in-degree)의 수가 0인 노드를 최초 입력(PI : primary input)라 정의한다.

연결되어 있는 서브 그래프(subgraph)는 $C = (V', E')$ 로 정의하고, $V' \subset V$ 이고 $E' \subset E$ 이다. C 는 클러스터(cluster)라고 정의한다. $INP(C)$ 는 $V - V'$ 안의 노드들의 집합이라 정의하고 출력 에지는 V' 안의 노드에 연결되어 있다. $OUT(C)$ 는 출력 에지의 수가 0인 노드를 포함하고 있는 V' 안의 노드들의 집합으로서 PO와 연결되어 있다.

V' 안의 모든 노드들을 병합(merge)하여 생성된 논리 함수를 클러스터 함수(cluster function)라 정의한다. 하나의 노드가 만약 CPLD의 기본 블록인 LE(logic element)에 매핑(mapping)될 수 있다면 이 노드는 매핑 가능(feasible) 노드로 정의한다. 불린 네트워크를 구성하고 있는 각각의 노드가 매핑 가능 노드이면 매핑 가능 네트워크라고 정의한다. 또한, 생성된 클러스터의 부울식(Boolean equation)이 매핑 가능하면 이 클러스터는 매핑 가능 클러스터(FC : feasible cluster)라 정의한다.

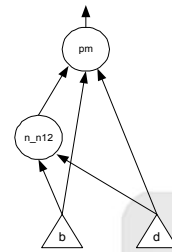
클러스터 C 가 만약 하나의 노드만을 가지고 있다면 트리비얼(trivial)이라 정의한다.

예를 들어 (그림 1)에서 C_1, C_2, \dots, C_{12} 는 매핑 가능 클러스터이고 C_1, C_2, \dots, C_8 은 트리비얼이고, 각각 pm, n_n12, /np0, nb, nd, pn, nb, nd를 나타낸다.



(a) 모든 매핑 가능 클러스터

$$\begin{aligned} pm &= n_n12 + pn \\ n_n12 &= /np0 \\ np0 &= nb * nd \\ pn &= nb + nd \\ nb &= b \\ nd &= d \end{aligned}$$



(b) 노드와 클러스터 함수 (c) 매핑 결과

그림 1. 본 논문의 기술 매핑에 대한 예제
Fig. 1 An example of technology mapping by our approach

(그림 1)의 (c)의 결과는 (a)의 모든 매핑 가능한 클러스터들 중에서 단단의 수가 가장 적은 클러스터를 선택하여 매핑한 결과이다. (a)는 DAG를 펜아웃 프리 트리로 재구성한 후 매핑 가능 클러스터를 생성한 그래프이다. (b)는 (a)의 그래프를 구성하고 있는 각각의 노드들이 가지고 있는 불린 함수를 나타낸 그림이다. (a)의 모든 매핑 가능 클러스터들 중에서 트리비얼을 제외한 나머지 매핑 가능 클러스터를 선택하여 매핑한 결과는 <표 1>에 나타내었다.

따라서 주어진 불린 네트워크를 시간제약 조건을 고려하여 매핑하기 위한 조건과 정의는 다음과 같다.

[정의 1] : 매핑 가능한 클러스터의 집합

$S = \{ C_1, \dots, C_n \}$ 는 주어진 불린 네트워크 $G = (V, E)$ 에서 다음의 3가지 조건을 고려하여 생성하여야 한다.

출력 제한(output constraint) : 각 노드 $v \in PO$ 에서 클러스터 $C_i \in S$ 이고

$u - OUT(C_i)$ 이어야 한다. 여기에서 u 는 v 의 단입력이다.

연결 제한(connectivity constraint) : 각각의 $C_i \in S$ 에서 각 노드 $v \in INP(C_i) - PI$ 이고, $OUT(C_j) = v$ 와 함께 존재하는 클러스터는 $C_j \in S$ 이다.

다단의 수 제한(number of multilevel constraint) : 다단의 수는 주어진 CPLD에서 시간 제약 조건과 지연 시간을 고려하여 생성한다. 다단의 수를 구하기위한 수식은 (식 1)에 나타내었다.

$$\text{다단의 수}(mm) = \frac{\text{시간제약 조건}}{\text{소자의 지연시간}} \dots\dots\dots \text{(식.1)}$$

본 논문은 주어진 불린 네트워크에서 시간 제약 조건을 고려하여 매핑 가능한 클러스터들의 집합을 생성하는 것이다. 이러한 집합을 생성하기 위한 알고리즘은 여러 단계로 나누어 수행된다. 첫 번째 단계로 매핑 가능한 클러스터를 생성하고, 두 번째 단계는 그래프 커버링(covering), 세 번째 단계는 CPLD의 구조에 맞도록 PLA 형태의 부울식을 생성하는 콜랩싱을 수행한다. 마지막 네 번째 단계는 주어진 CPLD의 기본 블록인 LE의 구조에 맞도록 분할 하고 매핑하는 빈-패킹 단계를 수행한다.

표 1. 매핑 결과
Table 1. A mapping result.

선택된 클러스터	매핑 결과	LE의 수	다단의 수	지연시간 t : LE의 지연시간
C9	C9, C2, C12	3	3	3t
C10	C10, C12	2	2	2t
C11	C10, C11, C1	3	2	2t
C12	C12, C10	2	2	2t

IV. 시간 제약 조건하에서 CPLD를 위한 기술 매핑(TMFCPLD)

4.1 단계 1 : 매핑 가능 클러스터 생성

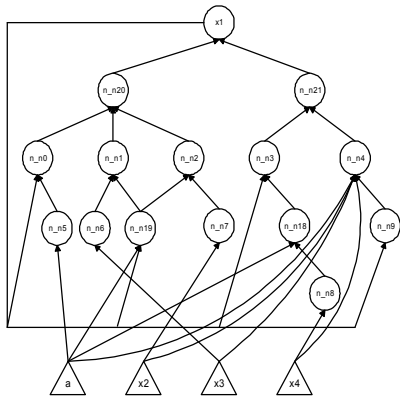
불린 네트워크가 주어지면 첫 번째 단계로 매핑 가능한 클러스터를 만든다. 불린 네트워크는 우선 출력 에지의 수가 1이 되도록 팬 아웃 프리 트리(fanout free tree)로 재구성한다. 팬 아웃 프리 트리 구성시 기존의 CPLD 기술 매핑 툴인 TMCPLD의 경우 케환이 있는 순차회로에 대하여 고려하지 않았다.

따라서 본 논문에서는 순차회로에 대하여 기술 매핑이 가능하도록 케환 검출 알고리즘을 이용하여 케환을 제거한 후 팬 아웃 프리 트리를 구성하였다. 케환 검출 알고리즘은 (그림 2)에 나타내었으며, 팬 아웃 프리 트리의 구성은 (그림 3)에 나타내었다.

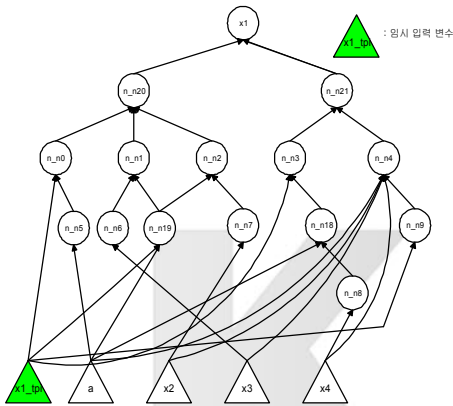
```

Ext_Feedback_Node(DAG)
{
    while(Pri_Output() = 0){
        OutNode = OutN(DAG);
        VisitN(OutNode);
    }
    VisitN(ParentNode)
    {
        ID = 1;
        while(NodeSet = 0)
            while(tempNode = ChildN(ParentNode)){
                ID = ID + 1;
                if( tempNode ≠ Visited_Nodes){
                    tempNode_id = ID;
                    putN(tempNode); }
                elsif(tempNode = Visited_Nodes){
                    if(tempNode_id ≥ ParentNode_id)
                        FeedbackN = tempNode; }}
        ParentNode = get();
    }
}
    
```

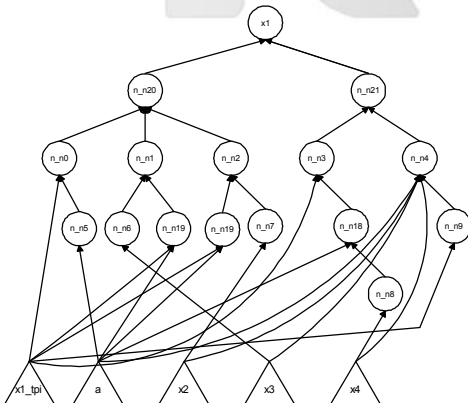
그림 2. 케환 검출 알고리즘
Fig. 2 Feedback detection Algorithm



(a) 그래프 구성



(b) 궤환을 제거한 후



(c) 본 논문의 팬 아웃 프리 트리

그림 3 팬 아웃 프리 트리의 구성
Fig. 3 Construct of fanout free tree

현한 그림이고, (b)는 (a)의 그래프에서 궤환을 검출하여 임시 입력 변수로 변환한 후 궤환을 제거한 그래프이다. (c)는 궤환을 제거한 후 생성된 그래프인 (b)에서 출력 에지의 수가 2이상인 노드를 복제하여 구성된 팬 아웃 프리 트리를 나타내었다.

팬 아웃 프리 트리가 생성되면 클러스터를 만들기 위해 각 노드에 비용(cost)을 주어야 한다. 각 노드의 비용은 OR 팀의 수로 정의한다. 팬 아웃 프리 트리의 각 노드가 가지고 있는 OR 팀의 수를 초기 비용이라 정의한다. 전체 비용은 노드 병합시 생성되는 OR 팀의 수로 정의한다. k는 주어진 CPLD의 내부를 구성하고 있는 LE의 OR 팀수이다. 따라서 매핑 가능한 클러스터를 생성하기 위해서는 전체 비용을 계산하여 k 값보다 작은 비용이 되는 클러스터를 생성하여야 한다. 전체 비용을 계산 하기위한 수식은 (식 2)에 나타내었다.

$$Cost(node) = \begin{cases} \prod(Child_Node_Cost(node)), & Node_Cost = 1 \\ \sum(Child_Node_Cost(node)), & Node_Cost \geq 2 \end{cases} \dots\dots\dots (식 2)$$

4.2 단계 II : 매핑 가능 클러스터를 이용한 그래프 커버링

단계 I에서 매핑 가능 클러스터가 생성되면 다음 단계로 주어진 시간 제약 조건에 맞도록 불린 네트워크를 커버링 할 수 있는 클러스터들의 집합인 S를 구하여야 한다.

본 논문에서 제안한 그래프 커버링 알고리즘은 다이내믹(Dynamic) 형식으로 구성되었으며 (그림 4)에 나타내었다.

```

Procedure BNTC_cover(N, k, mn, FC)
N : (V, E)
k, mn : 상수
FC : 매핑 가능한 클러스터들의 집합
begin
    Subgraph_Level = 0;
    
```

(그림 3)의 (a)는 주어진 불린 네트워크를 그래프로 표

```

foreach  $v \in PI$  of  $N$  do
   $Re(v) = \{ \}$ 
end
foreach  $v \in V$  in a topological order do
  while  $(mn-2) \geq \text{Subgraph\_Level}$  {
    while  $k < \text{FC\_cost}$  {
       $Re(v) = \cup \text{FC}(v)$ 
    }
     $\text{Subgraph\_Level} ++$ 
  }
   $Re(v) = \text{select\_best\_FC}(v)$ 
end
end BNTC\_cover

```

그림 4. 그래프 커버링 알고리즘
Fig. 4 Graph covering algorithm

(그림 4)에서 $Re(v)$ 는 시간 제약 조건에 맞는 불린 네트워크 커버링의 결과이다. 노드의 방문은 정해진 순서(topological order)에 의해 PI들로부터 방문한다. 주어진 k 값보다 작은 비용을 가지고 있는 FC들 중에서 가장 큰 비용을 가진 클러스터를 $Re(v)$ 에 저장한다.

그러나 주어진 시간 조건하에서 가장 좋은 결과를 나타낼 수 있는 FC의 선택은 (식 1)에서 구한 “다단의 수-2”만큼의 단수를 갖는 FC들중에서 가장 단수가 적은 FC를 선택하여야 한다. “다단의 수-2”만큼의 단수를 제하는 것은 단수의 수가 많을 경우 주어진 시간 제약 조건에 맞도록 회로를 구성하기 위해 PO를 포함하고 있는 여러 단의 FC를 2단의 단수를 같도록 재구성해야 하기 때문이다.

4.3 단계 III : 콜라핑(Collapsing)

단계 II의 그래프 커버링에서 선택된 FC는 부울식으로 변환하여야 한다. 선택된 CPLD는 PLA 형태로 구성되어 있으므로 선택된 FC는 PLA 형태에 맞도록 AND-OR의 형태로 부울식을 생성한다. “다단의 수-2”의 조건 안에 선택된 FC는 FC가 가지고 있는 함수에 맞도록 부울식을 생성하고, 그 외에 PO를 포함한 FC와 나머지 FC는 모두 합하여 AND-OR 형태의 부울식을 생성한다.

4.4 단계 IV : 빈 패킹(Bin-packing)

마지막 단계는 콜라핑에서 생성된 부울식을 주어진 CPLD의 LE에 맞도록 재구성하는 단계이다. “다단의 수-2”의 조건안에서 선택된 FC는 하나의 LE로 구현 가능하므로 생성된 부울식을 직접 매핑하면 된다. 그러나 PO를 포함한 나머지 FC에서 생성된 부울식은 하나의 LE에 구현될 수 없으므로 LE의 내부 구조에 맞도록 재구성 되어야 한다. 따라서 PO를 포함한 나머지 FC들에서 생성된 부울식을 단수가 2가 되도록 재구성하는 과정을 단계 IV인 빈 패킹에서 수행한다.

본 논문에서는 기존에 제안된 CPLD 기술 매핑 알고리즘들과 비교를 위해 같은 소자인 MACH4를 구현 대상 소자로 선정하였다. MACH4의 OR 텀수는 최대 20개 이다.

IV. 실험 결과

본 논문에서 제안한 알고리즘을 MCNC 벤치마크에 적용한 결과 기존에 제안된 DDMAP과 TEMPLA보다 적은 수의 LE로 구현된 결과를 나타내었다.[7][8]

실험 결과는 <표 2>에 나타내었다. <표 2>에서 첫 번째 행은 벤치마크 회로의 이름을 나타내고, 두 번째 행은 DDMAP을 이용하여 구현된 LE의 수를 나타내었다. 세 번째 행은 TEMPLA를 이용한 결과로서 LE의 수와 수행시간을 나타내었다. 마지막 네 번째 행은 본 논문에서 제안한 TMFCPLD의 결과를 나타내었다.

기술 매핑 결과 본 논문에서 제안한 기술 매핑 알고리즘의 결과가 DDMAP에 비해 62.6%의 논리블록의 수가 감소되었고, TEMPLA에 비해 17.6% 감소되었다. TMFCPLD와의 결과 비교는 조합논리 회로의 5개 회로만을 비교한 결과 4.7% 감소되었다.

표 2. TMFCPLD와 기존의 기술 매핑 알고리즘과의 결과 비교
Table 2. Result comparision of the existing technology mapping and TMFCPLD

	DDMAP	TEMPLA		TMFCPLD		본논문	
	block	block	running time (sec)	block	running time (sec)	block	running time (sec)
alu4	199	156	29.3	81	33	79	35
cps	159	120	18.3	119	22.1	111	24.6
apex4	193	193	30.2	139	50.6	138	53.6
misex3	214	154	27.8	147	32.8	133	37.2
ex5p	27	132	18.8	132	33.5	128	39.4
s38417	1208	603	495.2	-	-	479	512.7
seq	337	229	52.8	-	-	219	54.1
fir	1424	249	123.3	-	-	199	128.1
fsr8_8_13	58	49	5.5	-	-	49	5.8
pmac	911	237	126.6	-	-	232	131.3
psdes	301	151	37	-	-	119	39.4
sort	275	138	29.8	-	-	101	31.2
Total	5306	2410		618		1967	

V. 결론 및 추후 연구

본 논문은 주어진 시간 제약 조건하에서 최소의 면적을 갖는 새로운 CPLD 기술 매핑 알고리즘(TMFCPLD)을 제안하였다. TMFCPLD는 매핑 가능 클러스터 생성, 그래프 커버링, 콜랩싱, 빈 패킹의 4단계로 구성되어있다.

MCNC 벤치 마크에 적용한 실험 결과 기존에 제안된 DDMAP과 TEMPLA의 기술 매핑 알고리즘에 비해 LE의 수가 감소되는 결과를 나타내었다.

앞으로 본 논문에서 제안한 알고리즘을 다른 종류의 CPLD에 적용할 수 있는 범용적인 형태의 알고리즘을 개발하고, RTL 수준의 기술 매핑 알고리즘을 개발하고자 한다.

참고문헌

- [1] The Altera Data Book, Altera Corporation, 1996
- [2] ACT 1 Series FPGAs Data Sheet, Actel Corporation, 1996
- [3] The MACH 4 Family Data Sheet, Advanced Micro Devices, 1996
- [4] J. Cong and Y. Ding, "FlowMap : An 'Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table Based FPGA Designs", IEEE Transactions on Computer-Aided Design of Integrated Circuit and Systems, Vol. 13, No. 1, January 1994, pp. 1-11
- [5] R.J Francis, J. Rose and Z. Vranestic, "Chortle-crf : Fast Technology Mapping for Lookup Table -Based FPGAs", 28th ACM/IEEE Design Automation Conference, June 1991, pp.227-233.
- [6] R.J Francis, J. Rose and Z. Vranestic, "Technology Mapping of Lookup Table-Based FPGAs for

- Performance”, 1991 IEEE Conference on Computer Aided Design, pp. 568-571
- [7] E. M. Sentovice et al., “SIS : A system for sequential Circuit Synthesis”, Technical Report UCM/ERL M92/41, Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 1992
- [8] Jason Helge Anderson, Stephen Dean Brown, “Technology Mapping for Large Complex PLDs”, Design Automation Conference, 1998, pp. 698-703
- [9] 윤충모, 김희석, “시간적 조건에서 실행 시간을 개선한 CPLD 기술 매핑 알고리즘 개발”, 한국 OA 학회 논문집 vol 4권 3호, pp. 35-46, 1999
- [10] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, “A New Technology Mapping for CPLD under the time constraint” ASP-DAC, pp.235-238, January 2001.
- [11] 김재진, 이관형. “상관관계에 의한 CLB구조의 CPLD 저전력 기술 매핑 알고리즘”, 한국컴퓨터정보학회 논문집 제10권 제2호, pp.49-58, 2005

저자 소개



김재진

2003년 2월 : 청주대학교 전자공학과 공학박사
2001년~현재 : 극동정보대학 컴퓨터정보과 조교수



이관형

2004년 8월 : 청주대학교 전자공학과 공학박사
2005년~현재 : 청주대학교 전자정보공학부 전임강사

