

고속 동기 처리를 위한 Binary CDMA 시스템 코릴레이터 설계에 관한 연구

이 선근*, 정 우열**

A Study on Binary CDMA System Correlator Design for High-Speed Acquisition Processing

Seon-Keun Lee *, Woo-Yeol Jeong **

요 약

고속 데이터 전송에 적합한 Multi-Code CDMA 시스템은 출력이 Multi-Level이 됨으로써 출력신호의 복잡성과 출력단에 선형적인 증폭기를 사용하므로 고가, 고복잡성 등의 단점을 가진다. 이러한 단점을 보완하고자 기존 CDMA 기술에 기반을 둔 Binary CDMA 기술이 제안되었다. Binary CDMA 시스템에서 고속 데이터 연산 시 병목현상이 발생하는 코릴레이터는 동기획득시 매우 중요한 파라미터이다. 기존의 코릴레이터는 전력소모가 작다는 장점이 있지만 코릴레이션의 값을 얻기 위해 여러단의 가산을 거쳐야 하므로 연산량이 많아 처리 속도가 낮은 단점을 가지고 있다. 그러므로 본 논문은 Binary CDMA 시스템에서 고속의 데이터를 처리할 수 있으며 데이터 량이 증가하더라도 칩 면적이 독립적이며 전력소모가 일정한 구조를 가지는 코릴레이터를 제안하였다.

Abstract

Because output of multi-code CDMA system adapted high speed data transmission becoming multi-level system use linear amplifier in output stage and complex output signal. Therefore, Multi-Code CDMA system has shortcoming of high price, high complexity etc.. Binary CDMA technology that allow fetters in existing CDMA technology to supplement this shortcoming proposed. In binary CDMA system When correlator process high speed data, bottle-neck phenomenon is happened on synchronization acquisition process, it is very important parameter. Because existent correlator must there be advantage that power consumption is small but flow addition of several stages to receive correlation's value, the processing speed has disadvantage because the operation amount is much. Therefore in this paper, proposed correlator has characteristic such as data is able to high speed processing, chip area is independent and power consumption is constant in structure in binary CDMA system.

▶ Keyword : multimedia, Binary CDMA, correlation, synchronization

• 제1저자 : 이선근

• 접수일 : 2007.2.5, 심사일 : 2007.2.23, 심사완료일 : 2007. 3.25.

* 원광대학교 전기전자및정보공학부, ** 한려대학교 멀티미디어정보통신공학과

1. 서론

최근 이동통신 시장의 급속한 발전은 다수의 사용자들에게 다양한 무선 멀티미디어 통신 서비스 욕구에 대한 증가를 부추기고 있다. 또한 사용자의 증가로 인해 전송 및 데이터 처리 속도가 저하되고 있는 상황에서 사용자들은 고속의 데이터를 처리할 수 있는 시스템을 요구하고 있다.

기존 고속 데이터 전송에 적합한 Multi-Code CDMA 시스템은 Multi-Level 출력값을 가짐으로서 출력신호의 복잡성이 증가되고 출력단에 선형적인 증폭기를 사용함으로써 가격이 비싸지며 하드웨어의 복잡성이 증가된다는 단점을 가지고 있다.

이러한 단점을 보완하고자 기존 CDMA 기술에 기반을 둔 Binary CDMA 기술이 제안되었다. 그러나 Binary CDMA 시스템에서 고속 데이터 연산 시 병목현상이 발생하는 코릴레이터는 고속 연산이 필요한 동기 획득과정에 매우 중요한 시스템 파라미터이다. 기존의 코릴레이터는 전력소모가 작다는 장점이 있지만 코릴레이션의 값을 얻기 위해 여러단의 가산연산을 거쳐야 하므로 연산량 및 delay가 증대되어 처리 속도가 낮은 단점을 가지고 있다. 그러므로 본 논문은 Binary CDMA 시스템에서 병목현상을 감소함으로써 고속의 데이터를 처리할 수 있으며, 데이터량이 증가하더라도 칩 면적이 독립적이며 전력소모가 일정한 구조를 가지는 코릴레이터를 제안하였다.[1][2][5]

II. 기존 Binary CDMA 특징

Binary CDMA 기술은 기존 CDMA 기술의 장점인 우수한 보안성 및 통신용량을 증대시킬 수 있고, 주파수 재사용으로 인해 효율적이며 다중경로 페이딩에 강한 장점들을 그대로 가지고 있다. 또한 사용자가 증가할수록 송신 신호는 다중 레벨이 되는 문제로 인한 PAPR(Peak to Average Power Ratio)이 커지기 때문에 송신단에서 선형성이 매우 우수한 증폭기가 필요하기 때문에 비용이 증가하게 되는 단점을 가진다.

그러므로 Binary CDMA는 다양한 레벨의 변조신호를 이진화하여 TDMA 신호 파형으로 만들어 전송하므로

TDMA용 RF 모듈을 이용하여 구조의 복잡성, 높은 가격, 높은 전력소모 등의 현존하는 문제를 해결할 수 있으며 근거리 무선통신 기술로 WPAN(Wireless Personal Area Network) 및 WLAN에 사용이 가능하다. 그림 1은 이와 같은 TDMA 특성을 가지는 Binary CDMA의 시스템 구성도이다.

그림 1에서 Binary CDMA는 입력 신호를 동시에 전송하기 위해 각각의 입력 신호에 서로 다른 직교 코드를 곱하여 채널간의 직교성을 보장한 후, 각 채널 신호를 모두 합하여 동시에 전송하게 된다.

이때 여러 채널을 동시에 더해서 전송하게 되면 각각의 채널 신호가 바이너리(binary) 파형일지라도 합해진 전체 신호는 멀티 레벨(Multi-Level) 신호로 바뀌게 된다.

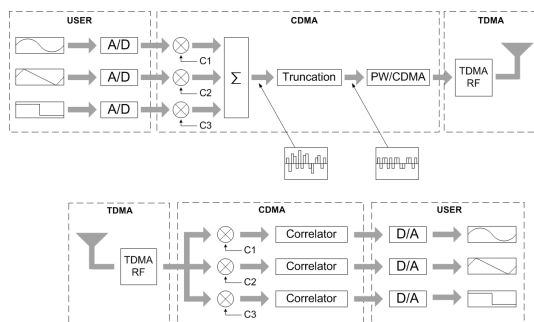


그림 1. Binary CDMA의 시스템 구성도
Fig. 1 Binary CDMA system block diagram

만약 CDMA 방식처럼 멀티 레벨로 된 신호를 전송하게 되면 송신단에서 RF 모듈이 직선성이 뛰어난 선형 증폭기(Linear Amplifier)를 사용해야만 하고 수신단에서도 멀티레벨 신호를 A/D(Analog-to-Digital) 변환을 수행하여 멀티 비트 디지털 신호로 바꿔 멀티 비트 연산과 멀티 비트 코릴레이션(Multi-bit correlation)을 취해야 하는 복잡한 연산과정을 거쳐야만 수신 신호의 복조가 가능해질 것이다. 그러나 Binary-CDMA는 그림 1과 같이 멀티 레벨로 바뀐 신호를 일정한 진폭의 레벨로 변환하여 Binary화 된 신호로 만들어 전송이 이루어진다. 또한 일반적인 TDMA용 RF 모듈을 이용해서도 멀티 채널 CDMA 신호를 전송이 가능하다.[3][6]

전송된 신호는 수신단에서 송신 시 사용한 직교 코드와 동일한 코드를 곱하여 correlation을 수행하고 그 결

과를 이용하여 각각의 채널정보를 복원하여 D/A로 변환한 후, 각 사용자에게 데이터를 전달하게 된다.

Binary CDMA 방식은 PW/CDMA(Pulse Width/Code Division Multiple Access), MP/CDMA (Multi-Phase/Code Division Multiple Access), CS/CDMA (Code Select/Code Division Multiple Access)로 나누어진다.

PW/CDMA 방식은 그림 2와 같이 전송 신호의 크기를 펄스폭으로 변환하여 출력신호의 레벨을 Binary화하여 신호 레벨이 일정한 전송신호를 만드는 기술이다.

복조과정은 직교코드 주기 동안의 면적적분을 통해 원래의 정보를 복원하므로 펄스의 크기를 펄스폭으로 전환해도 복조과정에서 전송하는 정보의 내용에 따른 상대적인 면적 비의 변화는 발생하지 않기 때문에 DS/CDMA와 동일한 복조 특성을 나타내게 된다. 그러나 펄스 크기를 펄스폭으로 바꾸는 과정에서 매우 정밀한 펄스폭이 요구되므로 송신 시 전송 대역폭이 넓어지고 수신시 필요한 표본화율이 높아져 구현 시 높은 데이터율을 유지하기 힘들다는 문제점이 있다.

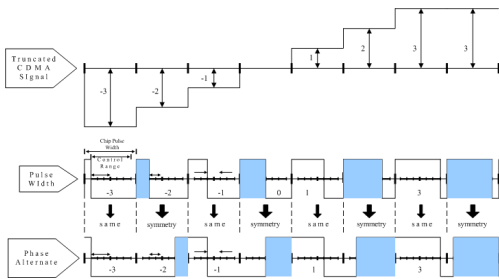


그림 2. PW/CDMA 방식
Fig. 2 PW/CDMA method

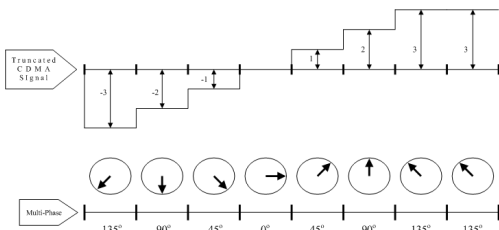


그림 3. MP/CDMA 방식
Fig. 3 MP/CDMA method

MP/CDMA기술은 그림 3과 같이 PW/CDMA와 유사하지만 전송신호의 크기를 위상 값으로 바꾸기 때문에

출력신호 레벨이 일정한 전송 신호를 만든다는 것이 다르다. 또한 사용되는 채널수에 비례하여 위상 값이 증가하기 때문에 각각의 위상을 서로 구별해 내기 어렵다.

CS/CDMA는 그림 4와 같이 직교 변조 방식과 유사하다. 코드 집합에서 입력 데이터에 따라 하나의 코드만을 선택하여 변조할때 사용함으로써 출력 신호를 일정 진폭의 형태로 만들 수 있다. n비트 크기를 가지는 입력 데이터를 이용하여 2^N 개의 코드 집합에서 하나의 코드를 선택하며 선택된 코드를 별개의 채널 데이터에 곱하여 전송한다. 전송 채널이 증가하게 되면 코드의 집합이 매우 큰 것이 요구되므로 구현하기 어렵다는 단점을 가진다.[4][7]

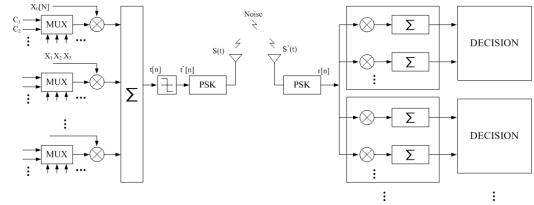


그림 4. CS/CDMA 방식
Fig. 4 CS/CDMA method

III. 시스토크 어레이 기반 파이프라이닝 구조를 가지는 코릴레이터 설계

Binary CDMA 방식은 PW/MP/CS와 같이 여러방식으로 구현된다. 이때 데이터에 대한 동기를 획득한 상태에서 데이터를 처리하게 되는 코릴레이터는 동기시간에 대한 지연이 매우 높아 Binary CDMA의 데이터 처리에 대한 병목현상이 발생하는 곳이다. 이러한 동기 지연시간에 대하여 보다 높은 performance를 가지게 하기 위하여 많은 연구가 진행중에 있다. 가장 대표적인 방식으로는 systolic array 방식, pipeline 방식, full adder 방식 등이 있다.

본 논문은 기존 동기알고리즘들에 대한 장단점들을 하나의 구조로 묶어 동기획득시간의 감소를 가져올 수 있는 PBS(Pipeline Based on Systolic array) 구조를 제안하였다.

제안된 PBS 구조는 PBS process element(PE)들로 구성되어 있으며 PBS PE는 그림 5와 같다.

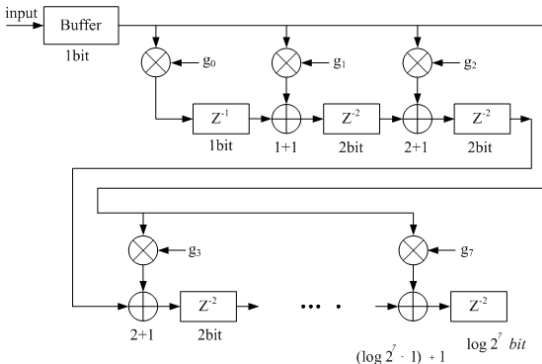


그림 5. PBS 프로세스 소자
Fig. PBS process element

입력이 8비트이며 $a = \{a_0, a_1, a_2, \dots, a_7\}$ 일때, PBS PE의 출력 $b = \{b_0, b_1\}$ 는 식 (1)과 같다.

$$b = g_0 \cdot 1 + g_1 \cdot Z^{-1} + g_2 \cdot Z^{-2} + g_3 \cdot Z^{-2} + \dots + g_4 \cdot Z^{-2} + g_5 \cdot Z^{-2} + g_6 \cdot Z^{-2} + g_7 \cdot Z^{-2} \quad (1)$$

식 (1)에서 g-function은 gold code 함수로서 입력 데이터들에 대한 weight를 제공하게 된다.

이러한 weight는 동기신호를 획득하기 위한 weight로서 동작하고 각각의 delay 소자는 직렬방식으로 데이터들에 대한 동기를 수행하게 된다.

그림 5와 같이 PBS는 기존 systolic array 방식과 동일하지만 PBS를 구성하는 기본 연산을 수행한다는 점이 다르다. 기존 방식은 데이터의 크기가 증가하게 되면 연산되는 systolic array 구조는 비례적으로 증가하게 된다. 즉 \log_2^n 으로 증가하기 때문에 128, 192, 256 비트들에 대하여 처리시간의 지연을 가져올 수 있다는 단점과 더불어 면적 및 소비전력의 증가라는 문제점도 내포하게 된다.

이러한 단점을 없애고자 본 논문에서는 PBS PE를 이용하여 pipeline 방식이 가능하며 데이터량이 증가하여도 동기획득시간의 증가가 발생되지 않는 구조를 갖는 PBS 구조를 제안하였다. 그림 6은 PBS에 대한 기본 구조이다.

그림 6에서 보논바와 같이 Systolic PE는 8비트씩 16개로 구성되며 입력은 128비트이다. 또한 Φ 와

Register 2x16은 pipeline 기능을 수행할 수 있도록 중간 결과값을 저장하는 기능을 수행하게 된다. 이때 Φ 에 저장된 데이터들중 LSB만을 사용하게 된다. 그리고 G는 식 (2)와 같이 g-함수에 대한 블록데이터들이다.

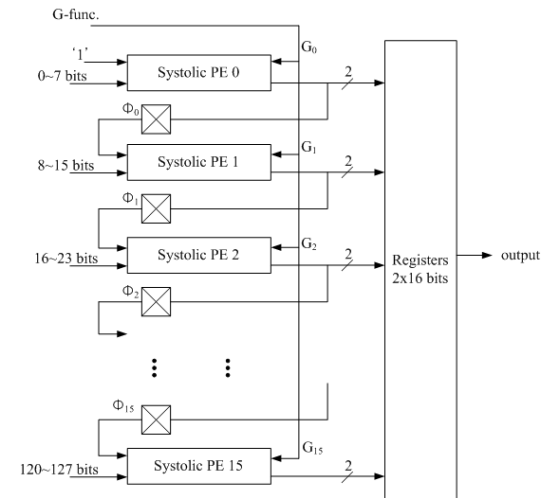


그림 6. PBS 구조
Fig. 6 PBS structure

$$\begin{aligned} G_0 &= \{g_0, g_1, \dots, g_7\} \\ G_1 &= \{g_8, g_9, \dots, g_{15}\} \\ &\vdots \\ G_n &= \{g_{8n}, g_{8n+1}, \dots, g_{8n+7}\} \end{aligned} \quad (2)$$

입력 128비트는 8비트씩 16개의 블록으로 분류된다. 분류된 16비트들의 데이터들은 각각의 PE에서 weight와 동기에 관련된 기능을 수행한 후, 2비트의 데이터로 출력된다. 출력된 데이터들중 일부는 다음 stage PE로 이동하며 일부는 Register 2x16으로 이동한다.

다음 stage PE로 이동된 중간 결과값의 LSB는 PE의 carry로서 동작하게 되며 Register 2x16으로 이동한 데이터들은 2비트씩 16개의 32비트 데이터를 생성하게 된다.

생성된 32비트 데이터들과 각 stage PE의 2비트씩 16개는 systolic array 기능을 수행함과 동시에 pipeline 기능을 수행하기 위한 준비과정을 거치게 된다. 만약 192비트가 입력으로 사용될 경우, PE들은 8

개 증가된다. 그러나 이때 8개의 PE는 실제적으로 존재하지 않고 PBS 블록의 PE0~PE7블록이 리셋되며 나머지 64비트 데이터들을 입력으로 받아 연산을 수행하게 된다.

IV. 제안된 PBS architecture 설계

본 논문에서 제안하는 구조는 시스토크 어레이 구조에 기반을 둔 파이프라인 구조이다. 이러한 구조는 기존 구조에 비하여 일정한 크기를 갖는 시스토크 어레이 구조만을 이용하여 데이터량에 따라 iteration 기능을 수행할 수 있도록 하는데 있다.

식 (3)은 제안된 PBS 구조에 사용할 gold code generator에 대한 원시다항식이다.

$$g(x_1) = X^8 + X^6 + X^5 + X^3 + 1 \dots\dots\dots (3)$$

$$g(x_2) = X^8 + X^4 + X^3 + X^2 + 1$$

식 (3)은 기본 8비트연산을 수행하면서 확장이 가능한 다항식이다. 그러므로 본 논문의 PBS 구조와 매칭이 되므로 식 (3)의 다항식을 사용하여 코릴레이터를 구성하였다.

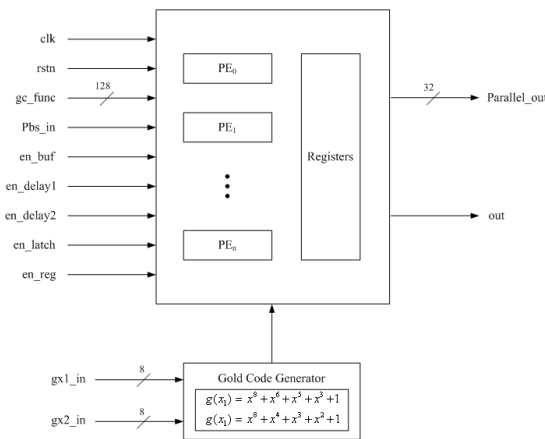


그림 7. PBS 블록
Fig. PBS block

그림 7은 PBS 블록에 대한 입출력 포트를 나타내고 있다. PE 블록은 8비트의 시스토크 어레이 구조를 가진

다. 8비트 시스토크 어레이 구조는 내부 gated delay가 2.73ns가 걸렸다. 그림 7에서와 같이 직렬입력 128비트는 순차적으로 PBS 블록으로 입력된다. 입력된 데이터들은 PE 블록으로 8비트씩 분리되어 입력되며 입력된 데이터들은 각각의 PE에서 시스토크 어레이 연산을 수행하게 된다. 연산 수행 결과, PE의 출력 2비트의 데이터들은 Register2x16으로 입력되고 동시에 다음 PE블록의 carry로 동작하기 위하여 PE 출력 2비트중 LSB가 입력된다.

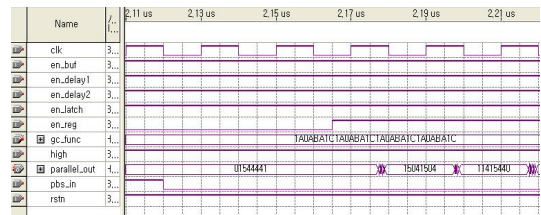


그림 8. PBS 모의실험 결과파형
Fig. 8 simulation waveform of PBS

그림 8은 PBS에 대한 최종 모의실험결과 파형이다. gold code generator의 입력과 각종 제어신호들, 그리고 직렬입력신호에 대한 출력값을 보여주고 있다.

V. 제안된 PBS 구조 성능분석

모의실험에 사용된 툴은 QUARTUS II Ver. 3.0이며 clock period는 20ns로 셋팅하였다.

표 1은 코릴레이터의 동기획득을 위한 기존 구조들과 본 논문에서 제안한 PBS 구조와의 성능을 분석한 표이다.

표 1. 처리시간에 따른 성능분석표
Table 1. performance analysis of processing time

@128 bits	Delay(ns)	Freq. (MHz)
systolic array	3.97	
non-pipeline	13.25	@35
pipeline 1	12.25	@70
pipeline 2	12.49	@85
pipeline 3	11.91	@100
PBS	2.73	@20

각각의 구조들은 최적의 성능을 발휘할 수 있는 동작주파수에서 얼마만큼의 지연이 발생하는가를 조사하였다.

표 1에서와 같이 제안된 PBS 구조가 기존 구조들에 비하여 전체 latency time에서 매우 짧은 시간을 보여 줌을 확인하였다.

VI. 결 론

본 논문에서 제안한 PBS 구조는 Binary CDMA 코릴레이터의 동기획득시간을 감소시키기 위한 것이다. 제안된 PBS 구조의 모의실험 결과, 표 1과 같이 기존 systolic array 구조 및 pipeline 구조들에 비하여 전달 지연시간이 매우 감소됨을 확인하였다.

그러므로 본 논문에서 제안된 PBS 구조를 Binary CDMA 시스템에 사용하게 될 경우, 매우 높은 동기시간을 가짐으로 인하여 시스템 자체의 performance가 매우 증가할 것으로 사료된다.

참고문헌

- [1] IEEE 802. 11 standard, "Wireless LAN medium access control(MAC) and physical layer(PHY) specification",1997.
- [2] K. Pahlavan and A. H. Levesque, Wireless information networks, Wiley Interscience Publication, 1995.
- [3] K. Ben Letaief, J. C-I Chuang, and R. D. Murch, "Multicode High-Speed Transmission for Wireless Mobile Communications", Proceedings of the IEEE International Conference on Universal Personal Communications, pp. 1835-1839, 1996.
- [4] A. A. M. Saleh and J. Salz, "Adaptive Linearization of Power Amplifiers in Digital Ratio Systems", The Bell System Technical Journal, Vol. 62, pp. 1019-1033, April 1983.

- [5] 안호성, 류승문, 나성웅, "Binary CDMA 소개," JCCI, VI-A.1.1-4, Apr. 2002
- [6] 박명순, "휴대폰을 위한 임베디드 시스템 II : CDMA 디바이스 드라이버 프로그래밍," 홍릉과학출판사, 2005
- [7] 류승문, "Binary CDMA 기술 소개," 한국전자과학회지, Vol. 13, No. 4, pp. 13-24, 2002

저 자 소 개



이 선 근

현재 : 원광대학교
전기전자및정보공학부 전임강사
<관심분야> 이동통신시스템,
암호시스템, VLSI 설계



정 우 열

현재 : 한려대학교
멀티미디어정보통신공학과교수
<관심분야> 이동통신시스템,
암호시스템, VLSI 설계