

시간제약 조건하에서 모듈 선택 재사용을 이용한 CPLD 저전력 기술 매핑

김재진*, 이관형**

CPLD Low Power Technology Mapping using Reuse Module Selection under the Time Constraint

Jae-Jin Kim*, Kwan-Houng Lee**

요약

본 논문은 시간 제약 조건하에서의 모듈 선택 재사용을 이용한 CPLD 저전력 기술 매핑을 제안한다. 일반적인 상위 수준 합성에서의 스케줄링은 실제적인 라이브러리의 복잡한 재사용을 허용하지 않는다. 반면 제안한 알고리즘은 주어진 사용자 정의 모듈을 실제적인 RT 라이브러리 모듈 재사용과 공유된 자원에서의 스위치 활동의 자원 공유하여 스케줄링을 수행한다. 스케줄링은 체이닝과 멀티사이클링을 이용해 다양한 상위 레벨 벤치마크의 환경에서 최적의 스케줄링의 결과를 얻는다. 스케줄링의 결과 재사용된 자원은 CPLD 저전력 기술 매핑 알고리즘을 이용하여 저전력으로 회로를 구현한다.

Abstract

In this paper, CPLD low power technology mapping using reuse module selection under the time constraint is proposed. Traditional high-level synthesis do not allow reuse of complex, realistic datapath component during the task of scheduling. On the other hand, the proposed algorithm is able to approach a productivity of the design the low power to reuse which given a library of user-defined datapath component and to share of resource sharing on the switching activity in a shared resource. Also, we are obtainable the optimal the scheduling result in experimental results of our using chaining and multi-cycling in the scheduling techniques. Low power circuit make using CPLD technology mapping algorithm for selection reuse module by scheduling

▶ Keyword : CPLD Low power technology mapping, the time constraint, reuse, scheduling

• 교신저자 : 이관형

• 접수일 : 2006.02.03, 심사일 : 2006.03.04, 심사완료일 : 2006.05.18

* 극동정보대학 컴퓨터정보과 교수 ** 청주대학교 전자정보공학부 전임강사

I. 서론

VLSI(Very Large Scale Integration) 제조 및 설계 기술의 발달과 더불어 최근 휴대용 전자 제품의 수요가 급증함에 따라 회로의 전력 소모를 개선하기 위한 저전력 회로의 설계가 중요한 사양으로 등장하고 있다. 특히, 휴대용 장치에 있어서 크거나 중량과 더불어 중요한 요소를 차지하는 배터리 용량은 집적 회로가 소모하는 전력에 직접적으로 비례하게 되었다. 전력을 소모하는 원인들중에서 가장 많은 비중을 차지하는 것은 캐피시턴스(capacitance)와 충전(charging), 방전(discharging) 과정에서 발생하는 동적 전력(dynamic power)이다[1]. 특히 저전력 회로 설계의 경우 노드의 스위치 캐피시턴스를 감소시켜 회로의 동적 전력을 줄이는데 중점을 두고 있다[2]. 스위치 캐피시턴스의 수를 줄이기 위한 가장 효율적인 방법으로 노드의 스위칭 동작(switching activity)을 감소 시켜야 하며, 소비 전력을 줄이기 위한 방법으로 여러 가지 방법들이 제안되고 있다[3][4][5].

현재 저 전력 설계를 위해 공급 전압의 감소, 스위칭 동작의 최소화 등을 통한 여러 가지 설계 방식을 제안하고 있다. 상위 수준 합성은 설계하고자하는 동작 기술로부터 주어진 제한조건과 목적함수를 만족하는 RT(register-transfer) 레벨의 구조를 생성하는 단계를 의미한다. 저 전력 회로의 구현은 여러 설계 수준의 범위를 포함해야하며 회로 설계 시 초기 단계의 결정은 다음 단계에 큰 영향을 미치므로 상위 레벨에서의 조기 최적화는 매우 중요하다.[6][7][8][9] 이런 상위 수준 합성은 스케줄링, 할당, 바인딩으로 구성된다. 스케줄링은 동작 기술에서 연산(operation)들을 특정한 제어단계에 할당하는 과정이다. 스케줄링의 결과에 따라 회로의 크기와 소모 전력이 달라지게 된다. 따라서 본 논문에서는 저전력의 회로를 구현하기위한 방법으로 상위수준에서 저전력을 위한 스케줄링을 수행한 후 할당된 RT에 대해 다시 한번 저전력의 회로를 구현할 수 있는 게이트 레벨의 저전력 알고리즘을 적용하여 저전력의 회로를 구현하는 방법을 제안하였다.

II. 시간 제약 조건하에서 모듈 선택 재사용을 이용한 CPLD 저전력 기술 매핑

시간 제약 조건하에서 모듈 선택 재사용을 이용한 CPLD 저전력 기술 매핑을 수행하기 위해서는 모듈 재사용을 위한 모듈을 선택하고 할당할 수 있는 스케줄링을 포함한 상위 수준 합성을 우선 수행한다. 그 후 선택된 모듈에 대해 게이트 수준의 저전력 기술 매핑 알고리즘을 적용하여 최종적인 저전력 기술 매핑 결과를 얻게 된다.

1. 시간 제약 조건하에서 모듈 선택 재사용을 이용한 상위 수준 합성

시간 제약 조건하에서의 모듈 선택을 고려한 전력 감소 스케줄링은 RT(Register-transfer) 라이브러리로부터 가산(adder)연산을 리플 캐리 가산(ripple carry adder), 캐리 룩 어헤드 가산(carry-look ahead adder), 스큐 캐리 가산(skew carry adder) 등 여러 가지 구조의 가산 모델링을 라이브러리로 선택하고 재사용 한다. 또한 전력 감소를 위한 스케줄링에서는 자원 공유와 스위칭 활동의 공유로 인한 전력 감소를 추구한다. 모듈 선택은 RT 라이브러리로부터 CDFG(Control Data Flow Graph)에서 컴포넌트 형식을 연산자에게 매핑(mapping)하는 과정이다.

가. 모델

1) RT 라이브러리

시간 제약조건과 저전력의 결과를 얻기 위해서는 사용되는 RT 라이브러리에 대한 정보를 필요로 한다. 이러한 정보는 RT 라이브러리가 수행할 수 있는 각각의 연산에 대한 정보를 필요로 한다. RT 라이브러리의 정보는 캐피티와 지연, 영역, 및 비트를 포함한 정보를 표현한다. 클럭 사이클은 최적화 된 파라미터로서 적용할 수 있게 하였으며 라이브러리 고정 연산 집합을 고정하였다.

표 1. RT 라이브러리
Table. 1 RT library

RT 라이브러리		캐피티터 (cf)	지연 (ns)	영역 (tran)	비트
모듈명	연산				
리플 캐리 가산기	mod	3.82	16.4	188	4
	max	3.82	17.8	196	4
	min	3.82	17.8	196	4
	adder	3.18	12.6	124	4
	subtr	3.36	14.0	132	4
	array mult	59.2	117.4	2526	4
booth mult	58.6	109.6	2808	4	

캐리 록 어헤드 가산기	mod	4.07	11.4	326	4
	max	4.07	12.8	340	4
	min	4.07	12.8	340	4
	adder	3.43	9.0	196	4
	subtr	3.54	10.4	208	4
스큐 캐리 가산기	arry mult	71.6	61.6	3213	4
	booth mult	79.4	56.2	3562	4

이러한 재사용 가능한 RT 라이브러리를 선택하는 방법은 같은 연산에 대하여 선택 가능한 RT 라이브러리를 검색하여 비교하여야 한다. 그림 1은 가산의 연산에 대하여 선택 가능한 RT 라이브러리에 대한 검색 결과를 나타낸 그림이다.

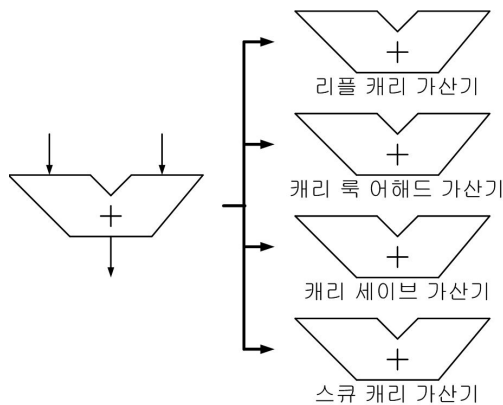


그림 1. RT 라이브러리에 대한 검색 결과
Fig. 1 Search result for RT library

2) RT CDFG

RT 라이브러리를 이용하여 모듈을 선택하기 위한 순서로서 RT 라이브러리를 불러올 수 있는 CDFG를 작성하여야 한다. CDFG는 HDL(Hardware Description Language)로 기술된 언어의 연산자와 입출력 변수들을 분석하여 흐름도를 작성한다. 이러한 구문 분석에서 프로세서(PROCESS)문의 경우는 프로세서문 자체는 병행문이므로 여러 개의 프로세서문이 있으면 이들을 병행적으로 수행된다

그림 2는 VHDL로 기술된 간단한 연산회로를 나타내었으며, 그림 3는 그림2의 VHDL에 대한 DFG를 나타내었다.

```

ENTITY cal IS
  PORT (a, b, c : in std_logic_vector(3 downto 0);
        f : out std_logic_vector(3 downto 0));
END cal;
ARCHITECTURE calculation OF cal IS
BEGIN
  P : PROCESS(a, b, c)
    SIGNAL x, y, z : std_logic;
  BEGIN
    x := a + b;
    y := a + c;
    z := b + c;
    IF (x > y) THEN
      f <= x;
    ELSE
      f <= z;
    END IF;
  END PROCESS;
END young;
    
```

그림 2. VHDL 기술
Fig. 2 VHDL

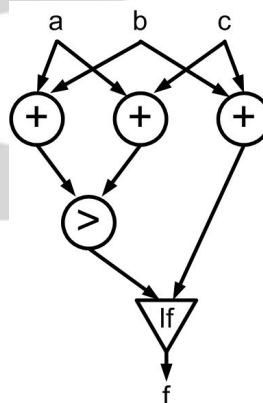
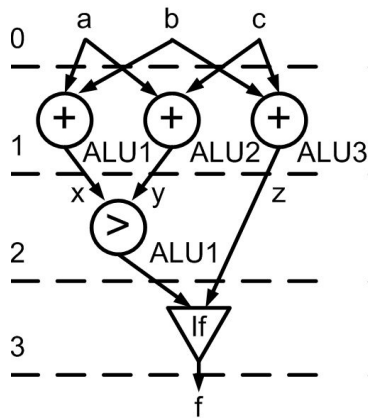


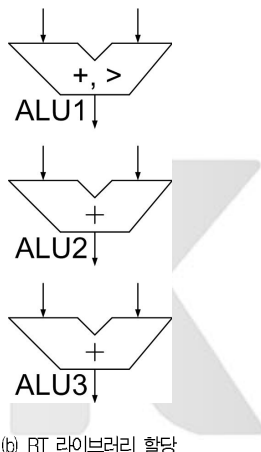
그림 3. 그림 2의 DFG
Fig. 3 DFG of Fig. 2

나. 전력 감소를 위한 스케줄링

전력 감소를 위한 스케줄링에서는 스케줄링 동안에 DFG에서의 절대적인 연산들에 대한 RT 라이브러리를 선택하며 전력 감소를 고려해서 자원 및 스위칭 활동 공유를 통해 전력 감소를 수행한다. 그림 4는 그림 3의 DFG에 대한 스케줄링 결과과 할당된 RT 라이브러리를 나타내었다.



(a) 스케줄링



(b) RT 라이브러리 할당

그림 4. 그림 3에 대한 스케줄링 결과
Fig. 4 Scheduling for Fig. 3

2. 시간 제약 조건하에서 게이트 수준의 CPLD 저전력 기술 매핑

시간 제약 조건하에서의 게이트 수준의 CPLD 저전력 기술 매핑을 수행하기 위해 상위 수준 합성 결과 할당된 RT 라이브러리에 대한 게이트 수준의 저전력 알고리즘을 수행하여야 한다.[10][11]

제한된 CPLD 저전력 기술 매핑 알고리즘은 세 단계로 구성된다.

첫 번째 단계는 주어진 불린 네트워크를 DAG로 변환한 후 각각의 노드에 대한 스위칭 동작을 계산하여 분할하는

순서와 분할점(cut-point)을 찾기 위한 TD 계산 단계이다.

두 번째 단계는 선택된 CPLD를 구성하고 있는 CLB에 주어진 회로를 저전력으로 매핑할 수 있는 매핑 가능 클러스터 생성단계로서 공통 노드 클러스터 병합(common node cluster merge)과 노드 분할(node separation), 노드 복제(node duplication)의 방법을 이용하여 그래프 분할을 수행한다.

세 번째 단계는 두번째 단계에서 생성된 매핑 가능 클러스터를 CLB에 패킹(packaging)하는 단계이다.

가. TD 계산 단계

저전력의 기술 매핑 결과를 얻기 위해서는 회로의 스위칭 동작을 최소화하여 회로 전체의 소모 전력이 최소화 될 수 있도록 기술 매핑을 수행하여야 한다. 따라서 소모 전력을 계산하기 위해서는 주어진 불린 네트워크를 구성하고 있는 각 노드의 게이트에 대한 EP와 TD를 계산한다.[12][13]

나. 매핑 가능 클러스터 생성

주어진 불린 네트워크를 구성하고 있는 각각의 노드에 대한 TD가 계산되면, 계산된 결과를 이용하여 매핑 가능 클러스터를 생성하여야 한다. 매핑 가능 클러스터는 회로를 구현할 대상 소자를 구성하고 있는 CLB에 매핑 할 수 있는 모든 클러스터들을 의미한다.

매핑 가능 클러스터를 생성하기 위해서는 선택된 CPLD를 구성하고 있는 CLB의 OR 텀수를 알아야 한다. CLB의 OR 텀수는 CLB_OR로 정의 한다. CLB_OR를 이용하여 매핑 가능 클러스터를 생성한다. 매핑 가능 클러스터는 노드의 비용을 계산하여 생성하여야 한다. 각각의 노드 비용은 노드가 가지고 있는 OR텀수를 노드 비용으로 정의한다.

클러스터의 전체 비용은 CST_C 로 정의하고 클러스터의 전체비용은 클러스터가 생성될 때 생성되는 OR텀수의 수를 의미한다.

CST_C 를 고려한 매핑 가능 클러스터를 생성하는 방법은 공통 노드 클러스터 병합과 노드 분할, 노드 복제의 방법을 이용하여 수행된다.

1) 공통 노드 클러스터 병합

주어진 불린 네트워크를 DAG로 구성한 후 DAG를 구성하고 있는 노드들 중에서 출력 에지의 수가 가장 많은 노드를 검출한다. 출력 에지의 수가 가장 많은 노드는 TD를 계산하면 가장 큰 값을 가지게 된다. TD가 가장 크다는 것은 스위칭 동작이 가장 많이 발생하는 것을 의미한다. 따라서 저전력의 기술 매핑 결과를 얻기 위해서는 TD의 값이 가장

큰 노드를 포함한 매핑 가능 클러스터를 우선적으로 생성하여야 한다. 출력 에지의 수가 가장 많은 노드에 대한 매핑 가능 클러스터 생성은 출력 에지의 수가 가장 많은 노드를 포함한 서브 그래프가 상위의 노드에 병합될 수 있는가를 알아본 후 가능한 경우에는 이러한 공통 노드 클러스터 병합을 우선적으로 수행한다. 이러한 매핑 가능 클러스터의 선택은 소모 전력이 가장 큰 노드를 포함한 매핑 가능 클러스터를 생성하여 저전력의 기술 매핑 결과를 얻을 수 있기 때문이다.

2) 노드 분할

노드 분할은 공통 노드 클러스터 병합이 불가능한 경우에 수행되는 방법으로, 출력 에지의 수가 가장 많은 노드에 대해 노드 분할을 수행하여 매핑 가능 클러스터를 생성하는 방법이다. 노드 분할은 출력의 수가 가장 많은 노드이면서 노드의 비용이 2 이상인 노드인 경우에만 수행한다. 이유는 만약 노드의 출력수가 2 이상인 모든 노드에 대해 노드 분할을 수행하게 되면 작은 크기의 서브 그래프가 형성되어 전체적으로 면적이 증가되고 소모 전력이 증가되기 때문이다. 또한 노드의 비용이 1인 노드는 AND 게이트를 의미하므로 상위 노드에 병합되도 상위 노드의 CST_C 에 영향을 끼치지 않기 때문이다. 따라서 위의 조건을 모두 만족하는 노드의 경우에 한하여 노드 분할을 수행한다.

이러한 노드 분할은 기술 매핑의 수행 시간을 줄이고 회로 전체의 소모 전력을 감소시키게 된다.

3) 노드 복제

공통 노드 클러스터 병합과 노드 복제 방법을 이용하여 생성된 매핑 가능 클러스터에 포함되지 않은 노드들 중에서 출력의 수가 2이상인 노드들에 대해서는 노드 복제를 이용하여 매핑 가능 클러스터를 생성한다. 전체 노드에 대해서 노드 복제를 사용할 경우 노드의 수가 증가되어 매핑 가능 클러스터의 생성 시간이 길어지게 되는 단점을 가지게 된다. 따라서 출력의 수가 2이상이고 노드의 비용이 1인 노드에 한하여 노드 복제를 수행한다. 이러한 조건은 팬 아웃 프리 트리를 구성하고 있는 노드를 중복 사용하여 그래프 분할을 수행할 때 수행 시간이 길어지고 중복되는 노드들로 인한 스위칭 동작이 증가되는 단점을 보완하기 위한 방법이다.

다. CLB 패킹

CLB 패팅 단계는 매핑 가능 클러스터 생성 단계에서 생성된 매핑 가능 클러스터를 CLB에 패킹하는 단계이다.

III. 실험결과

본 논문에서 제안한 알고리즘에 대한 검증은 상위 수준 합성 단계의 스케줄링에서는 체이닝(Chaining)과 멀티사이클링(Multicycling)에 대한 옵션과 시간 제약 조건을 제한 조건으로 설정하여 수행 하였다. 게이트 수준의 CPLD 저전력 기술 매핑은 상위 수준 합성에서 할당된 RT에 알고리즘을 적용하여 전체 소모 전력을 산출하여 비교하였다. 검증을 위한 대신 회로는 엘립틱 필터(Elliptic Filter)를 선정하여 실험 하였다. 엘립틱 필터의 스케줄링 결과와 소모 전력에 대한 결과는 표 2에 나타내었다. 실험 결과 소모 전력에서는 알고리즘을 적용하기전보다 알고리즘을 적용한 후의 소모 전력이 25.37% 감소된 결과를 나타내었다.

IV. 결론

본 논문은 시간 제약 조건하에서의 모듈 선택 제사용을 이용한 CPLD 저전력 기술 매핑을 제안하였다.

표 2. 엘립틱 필터의 실험 결과
Table. 2 Experiment result of Elliptic filter

스케줄링 옵션	최고 지연 시간	스케줄의 상태수	소모전력	
			알고리즘 적용전	알고리즘 적용후
체이닝 수행 + 멀티사이클링 수행	25ns	19	238.66	186.15
체이닝 수행 + 멀티사이클링 수행	50ns	15	189.04	147.46
멀티사이클링 수행	25ns	19	259.66	172.69
멀티사이클링 수행	50ns	16	218.88	167.25
체이닝 수행	50ns	16	216.45	164.33

제안한 알고리즘은 상위 수준 합성 단계와 게이트 수준으로 나누어 수행하였다. 상위 수준 합성에서는 스케줄링 단계를 RT 라이브러리 경로 모듈 제사용과 자원 공유 및 스위치 활동을 공유하고 체이닝과 멀티사이클링을 이용하여 시간 제약 조건하에서 최적의 전력 감소 스케줄링의 결과를 얻었다. 또한 상위 수준 합성에서 할당된 RT 라이브러리에 대해 게이트 수준의 CPLD 저전력 기술 매핑을 수행 하였다. 수행 결과 알고리즘을 적용하였을 경우의 소비 전력이 감소되는 결과를 나타내었다.

참고문헌

[1] The MACH 4 Family Data Sheet, Advanced Micro Devices, 1996

[2] S. Devadas, S. malik, "A Survey of Optimization Techniques Targeting Low Power VLSI Circuits", in Proc. 32nd DAC, pp.242-247, June 1995.

[3] A. Chandrakasan, T. Sheng, and R. Brodersen, "Low Power CMOS Digital Design", Journal of Solid State Circuits, vol. 27, no. 4, pp. 473-484, April 1992.

[4] S. BrColani et al., "Testability measures in pseudorandom testing", IEEE Trans. Computer-Aided Design, vol. 11, pp. 794-800, 1992, June

[5] J. Cong and Y. Ding, "FlowMap : An 'Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table Based FPGA Designs", IEEE Transactions on Computer-Aided Design of Integrated Circuit and Systems, Vol. 13, No. 1, January 1994, pp. 1-11

[6] P. Landman, "Power Estimation of High-Level Synthesis", in Proc. European DAC, Feb. 1993, pp.361-366

[7] A. Chandarksan et al., "HYPER-LP: A System fo Power Minimization Using Architecture Transformation," in Proc. ICCAD, Nov. 1992, pp.300-303

[8] R. Martin, "Power-Profiler : Optimizing ASICs Power Consumption at the Behavioral Level," in Proc. 32nd DAC, June 1995, pp.42-47

[9] J. Chang, "Register Allocation and Binding for Low Power", in Proc. 32nd DAC, June 1995, pp.29-35

[10] 윤충모, 김희석, "시간적 조건에서 실행 시간을 개선한 CPLD 기술 매핑 알고리즘 개발", 한국 OA 학회 논문집 vol 4권 3호, pp. 35-46, 1999

[11] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "A New Technology Mapping for CPLD under the time constraint" ASP-DAC, pp.235-238, January 2001.

[12] 김제진, 이관형, "상관관계에 위한 CLB 구조의 CPLD 저전력 기술 매핑 알고리즘", 한국컴퓨터정보

학회 논문집 제10권 제2호, pp.49-57, 2005

[13] 김제진, 이관형, "시간제약 조건과 면적을 고려한 효율적인 CPLD 기술 매핑", 한국컴퓨터정보학회 논문집 제10권 제3호, pp. 11-18, 2005



저자 소개



김 제 진

2003년 2월 : 청주대학교
전자공학과 공학박사
2001년 ~ 현재 : 극동정보대학
컴퓨터정보과 조교수
관심분야 : CAD 알고리즘, 저전력
알고리즘



이 관 형

2004년 8월 : 청주대학교
전자공학과 공학박사
2005년 ~ 현재 : 청주대학교
전자정보공학부 전임강사
관심분야 : 알고리즘, 무선통신