

IEEE 1149.1의 실시간 신호 시험 구조 설계

김정홍*, 장영식**, 김재수*

Design of Run-time signal test architecture in IEEE 1149.1

Jeong-Hong Kim *, Young-Slg Kim **, Jae-Soo Kim *

요약

보드에 장착된 소자들을 테스트하기 위해 제안된 IEEE 1149.1 시험 구조는 입력으로 TDI 핀을 사용하고 출력으로 TDO 핀을 사용하는 커다란 직렬 쉬프트 레지스터이다. IEEE 1149.1은 보드 수준에서의 테스트는 완벽하게 수행하지만 보드가 시스템에 장착되고 난 후의 수행 중인 시스템 수준에서의 실시간 동작클럭 속도로의 테스트에는 문제가 있다. 즉 시험대상 핀의 실시간 동작 신호를 시험하기 위하여 직렬 쉬프트 레지스터 체인들의 출력속도를 동작클럭의 쉬프트레지스터 배수 이상의 속도로 작동 하여야 한다. 본 논문에서는 시스템 클럭과 동일한 속도로 실시간 신호를 캡처하기 위한 실시간 신호 시험 구조를 설계하고 시험 절차를 제안하였다. 제안한 실시간 신호 시험 구조를 Altera의 Max+Plus 10.0을 사용하여 제안한 시험 절차에 따라 시뮬레이션을 수행하였으며, 이를 통해 제안한 시험 구조가 정확히 동작함을 확인하였다.

Abstract

IEEE 1149.1 test architecture was proposed to support the test of elements within the boards. It is a large serial shift register that uses the TDI pin as an input and the TDO pin as an output. Even though it performs the board level test perfectly, there is a problems of running system level test when the boards are equipped to the system. To test real time operation signal on test pin, output speed of serial shift register chain must be above double clock speed of shift register. In this paper, we designed a runtime test architecture and a runtime test procedure under running system environments to capture runtime signal at system clock rate. The suggested runtime test architecture are simulated by Altera Max+Plus 10.0. through the runtime test procedure. The simulation results show that operations of the suggested runtime test architecture are very accurate.

▶ Keyword : Run-time test, IEEE 1149.1, Boundary Scan Register, Test Access Port

• 제1저자, 교신저자 : 김정홍

• 투고일 : 2009. 10. 05, 심사일 : 2009. 10. 28, 게재확정일 : 2010. 01. 26.

* 경북대학교 컴퓨터정보학부 교수 ** 계명문화대학 컴퓨터학부 교수

※ 이 논문은 2009년도 경북대학교 학술연구비에 의하여 연구되었음.

I. 서론

하드웨어 개발단계에서 IC칩이나 보드의 기능 동작을 확인하고 잘못된 경우 이를 수정하고 보완하는 디버깅은 매우 중요한 작업이다. 과거에는 직접 PCBs(Print Circuit Boards)에 접촉하는 방식으로 보드를 테스트 하였다. 이러한 방법은 보드에 탑재된 부품들 단자 사이의 간격이 점차 좁아짐에 따라 테스트가 점점 어렵게 되었다.[1] 근래에 와서는 IC 레벨, 또는 기판 레벨의 회로 설계 시, 설계 초기에 시험 용이도를 고려하는 설계기법인 DFT(Design For Testability)의 연구가 활발하게 진행되고 있으며, 그 중 DFT의 대표적인 기법인 경계면 스캔을 이용한 시험방식이 널리 사용되고 있다.[2,3]

IEEE 1149 표준은 "Standard Test Access Port and Boundary-Scan Architecture"로 디지털 회로의 핀들에 대한 신호 레벨 액세스 또는 제어할 수 있는 5개 핀을 통한 직렬 프로토콜을 제시하고 있다. IEEE 1149.1에서 제시한 경계면 스캔 구조에서는 대상 회로의 시험패턴의 인가는 TDI(Test Data Input)를 통하여 직렬로 대상 회로의 입력 측에 연결된 모든 BSR(Boundary Scan Register)들에 비트열을 직렬로 쉬프트 시켜 인가한 후 병렬로 대상 회로에 적용시킨다. 시험패턴이 적용된 대상 회로의 결과는 출력 측에 연결된 모든 BSR에서 동시에 응답 값을 캡처한 후 TDO(test Data Output)에 직렬로 출력하게 된다. 이 과정에서 시험패턴을 적용하고 응답 값을 구하기 위해서는 대상 회로의 입력 신호선 수와 출력 신호선 수, 둘 중의 큰 수 만큼에 해당하는 쉬프트 시간이 소요된다. 이로 인해 경계면 스캔 구조를 가진 대상 회로들의 기능 확장, 집적화에 따른 시험 입출력 핀 수의 증가 및 요구되는 동작속도가 높아짐에 따라 실시간 동작속도 환경에서는 시험 단자에 대한 연속적인 출력 신호의 시험과 진단은 불가능하다.[4] 특히 시험 회로에 대한 실시간 동작 상태에서의 시험은 시스템 클럭에 따라 연속적으로 변화하는 출력 신호선과 결합 가능성이 높은 특정 회로 부분의 출력 신호선에 대한 지속적인 관측이 필요하다. 이를 위해서는 시스템 동작 속도에 대응하는 출력 값들을 집중적으로 시험하고 진단하여 회로의 오류부분을 검출할 수 있는 경계면 스캔 기법의 시험방식에 대한 연구가 요구되고 있다.[4,5,6]

본 논문에서는 IEEE 1149.1의 시험구조에서 시스템 동작 중에 시스템 클럭에 의하여 실시간 변화하는 출력 신호의 분석이 가능한 시험구조와 시험 절차를 설계하였다. 이를 위해 BSR 구조에 AND 게이트 3개와 NOT 게이트 2개를 추가하여 성능을 개선한 새로운 경계면 스캔 레지스터인 RTBSR을 설

계하고, 실시간 출력 명령어와 이를 이용한 시험 절차를 제시하였다. 본 논문의 구성은 다음과 같다. 2장에서는 IEEE 1149.1의 시험구조 및 실시간 시험에 대한 문제점을 기술하고, 3장에서는 실시간 환경에서 시험이 가능한 RTBSR의 설계와 시험 절차를 제안하였다. 4장에서는 RTBSR로 설계된 시험 구조를 8진 카운터 회로에 적용하여 시뮬레이션한 결과를 제시하고 마지막 5장에서 결론을 맺는다.

II. 관련 연구

고성능 마이크로프로세서나 복잡한 ASIC과 같은 VLSI 디바이스가 많이 사용됨에 따라 이에 대한 테스트 기능은 매우 중요하게 되었다. IEEE 1149.1 경계면 스캔기법은 시험 대상 회로의 내부 관측점에 레지스터를 두어 회로를 관측하고 제어하는 시험기법이다. IEEE 1149.1 경계면 스캔구조는 스캔기법에 기초한 구조화 DFT기법으로, 시험 대상 회로의 입력 및 출력단에 관측 및 제어를 위한 레지스터를 삽입하고, 이들을 직렬로 연결시켜 회로 외부에서 내부회로에 대한 시험과 진단을 할 수 있다. 본 장에서는 기본 경계면 스캔 구조에 의한 시험이 이용되는 명령어 및 그에 따른 BSR과 TAP제어기의 동작특성을 기술하고, 시험회로 소자들의 실시간 동작과정의 실시간 신호 시험을 분석할 때 발생하는 문제점들을 설명한다.

1. IEEE 1149.1 시험 구조

IEEE 1149.1의 근본 목적은 전자적 시험 접근 방식을 IC 자체 내에 구현함으로써 시험을 위한 회로기판에의 물리적 접촉의 필요성을 제거하여 디버깅의 효율성을 높이고자한다.[7]

경계면 스캔 구조는 정상 동작 모드와 시험 동작 모드로 동작한다. 정상 동작 모드에서는 대상 회로의 정상적인 동작 기능을 수행하기 위해 대상 회로의 입력 핀에 신호가 병렬로 입력되고 그 결과 값이 병렬로 출력된다. 경계면 스캔 레지스터에 인가되는 시험 데이터들은 단지 그 레지스터들을 통해서 출력된다. 시험 동작 모드에서는 대상 회로의 입출력 신호는 무시되고, TDI(Test Data Input)에서 입력되는 시험 데이터는 TDO(Test Data Output)로 출력되어 결합이 진단된다.

경계면 스캔 시험 회로를 추가하면 회로의 크기는 약 10% 정도 증가하고 그 성능은 대략 10% 정도 증가하는 결로 알려져 있다. 하지만 경계면 스캔 시험 회로를 추가함으로써 쉽고 자동화된 테스트를 통해 개발 기간을 단축 할 수 있어 빠른 시간 안에 제품을 시장에 출시할 수 있다. 또한 매우 고가인 ICT(In Circuit Tester) 장비를 저렴한 PC 기반 테스터로 대체

할 수 있기 때문에 경계면 스캔 시험 회로를 추가함으로써 인해 발생하는 비용 증가와 성능 감소는 문제가 되지 않는다.[1, 8]

그림 1은 경계면 스캔 구조의 블록도를 나타내며 크게 다음의 3가지 요소로 구성된다.[9,10]

- TAP 제어기(Test Access Port Controller: TAPC)
- 명령어 레지스터(Instruction Register: IR)
- 시험 데이터 레지스터(Test Data Register: TDR)

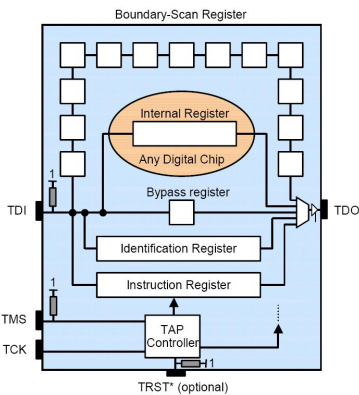


그림 1. 경계면 스캔 시험 구조

Fig. 1. Test Architecture of Boundary Scan

TAPC는 TAP(test access port)을 통해 공급되는 입력 신호들인 TMS(Test Mode Select), TCK(Test Clock)와 TRST*(Test ReSeT)을 받아 명령어 레지스터와 시험 데이터 레지스터에 필요한 클럭과 제어 신호를 발생시키는 16개의 상태를 가지는 동기식 유한 상태 기계이다. TAP을 구성하는 각 신호선과 기능은 다음과 같다.

- Test Clock input(TCK): 테스트 로직을 동기화 하기위한 입력되는 시험 클럭이다. 칩의 시스템 클럭과는 독립적이며 시험 동작은 PCB상의 여러 칩들 사이에 동기화 될 수 있다.
- Test Mode Select input(TMS): 시험 모드 선택 입력으로 TAP의 상태를 순서화하기 위해 TCK의 상승 에지에서 샘플링 된다. 시험 논리의 동작은 이 입력에 적용된 비트열에 의해 제어된다. 이 비트열은 TAP제어기를 지시하여 다른 시험논리 블록이 필요로 하는 클럭과 제어 신호를 발생한다.
- Test Data Input(TDI): 시험 명령과 데이터를 위한 직렬 입력으로 TCK의 상승 에지에서 샘플링 된다. 이 직렬 입력에 인가되는 데이터는 앞서 TMS에 인가된 비트열에 따라 IR또는 TDR에 입력된다.

- Test Data Output(TDO): 시험 명령과 데이터를 위한 직렬 출력으로 TCK의 하강에지에서 명령 레지스터 또는 데이터 레지스터 내용을 이동 시킨다. 시험 논리의 출력은 앞서 TMS에 인가된 비트열에 따라 IR 혹은 TDR로부터 공급된다. 쉬프트 동작 동안에는 TDI에 인가된 데이터는 몇 TCK 사이클이 지난 후에 TDO에 나타난다.
- Test ReSeT(TRST): TAP 제어기의 초기화를 위한 비동기 리셋 기능을 한다.

2. TAP 제어기

TAP 제어기는 16상태를 가지는 유한 상태 기계로서 그림 2의 상태 천이도에 따라 동작한다. TAP 제어기는 TCK와 TMS를 입력으로 받아서 경계면 스캔 구조를 구성하는 장치들을 위한 클럭 신호들과 제어 신호들을 생성한다.

TAP 제어기의 상태 천이는 TCK의 상승 에지에서 일어난다. 상태 천이도에서 0과 1은 특정 천이를 유발기 위해 TCK의 상승 에지때 TMS에 유지되어야 할 논리값이다. 16상태 중 다음의 8상태는 시험 기능을 수행토록 하면서 시험 논리의 동작을 결정한다.

- Test_Logic_Reset : 모든 시험 논리 값을 초기화한다.
- Run_Test/Idle : 명령어 레지스터 내의 명령어에 의해 동작이 결정된다.
- Capture_DR : 쉬프트 레지스터 경로상에 데이터를 적재한다.
- Shift_DR : 지정된 경로를 통해 데이터를 TDO로 쉬프트 출력한다.
- Update_DR : 쉬프트 과정의 종료를 의미한다.
- Capture_IR, Shift_IR, and Update_IR : 이 3개 상태는 명령어 레지스터를 대상으로 하는 점만 다를 뿐 Capture_DR, Shift_DR, 및 Update_DR에 각각 대응한다.

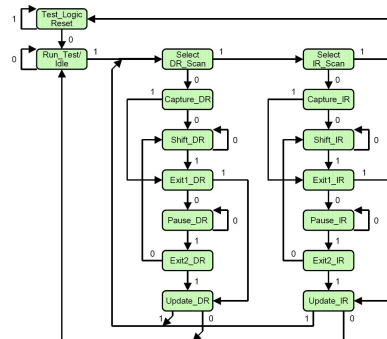


그림 2. 탭 제어기의 상태천이도

Fig. 2. State Transition of Tab Controller

3. 명령어 레지스터와 시험 데이터 레지스터

명령어 레지스터는 쉬프트 레지스터로 구성되며, Sample/Preload, Bypass, Extest, Intest, Runbist와 사용자 부가 명령어가 직렬로 적재된다. IEEE 1149.1 표준안에 따르면 최소 2개의 비트를 가지는 레지스터로 구현이 가능하다. 명령어 레지스터에는 초기값으로 LSB(Least Significant Bit)로부터 두 개의 비트에 '01'이 들어가도록 규정되어 있으며, 일반적으로 명령어 레지스터는 명령을 해독하는 회로부분을 포함한다. 시험 데이터 레지스터 블록은 4종류의 레지스터로 구성되며 다음과 같다.

- 경계면 스캔 레지스터(boundary scan cell의 결합)
- 바이패스 레지스터(bypass register)
- 장치 식별 레지스터(device identification register)
- 사용자 시험 데이터 레지스터(user test data register)

쉬프트 레지스터 기반 구조인 경계면 스캔 레지스터(boundary scan register)는 특정 소자의 요구를 충족시키기 위해 여러 종류의 형태로 설계된다. 그림 3은 전형적인 경계면 스캔 레지스터로서 ClockDR, ShiftDR 및 UpdateDR 신호는, TAP제어기가 TCK와 TMS입력의 변화에 대한 응답으로 생성한다.

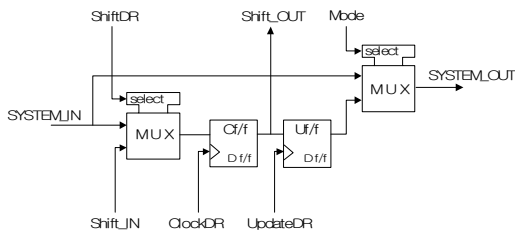


그림 3. BSR 구조
Fig. 3. BSR Architecture

4. 실시간 회로 시험의 문제점 고찰

TAP제어기와 BSR의 전체적인 동작관계를 기술하면 그림 3과 같이 Cf/f에는 BSR이 연결된 대상 회로의 출력 값이 Capture_DR상태에서 캡처가 된다. 캡처된 값을 직렬 연결된 BSR의 개수만큼 Shift_DR상태를 유지하여, 직렬로 연결된 BSR을 통해서 TDO로 직렬 출력한다. 동시에 TDI를 통해 병렬로 인가할 데이터들을 Cf/f에 직렬로 입력시키게 된다. 이후 Update_DR상태에서 모든 BSR의 Cf/f에 직렬 입력된 데이터가 Uf/f로 입력되면서 연결된 회로의 입력에 대한 병렬인가 동작이 이루어진다. 즉, 대상 회로의 입,출력 신호선의 개수만큼의 BSR이 필요하므로 최소한 입력 신호선 수와 출력 신호

선 수, 둘 중의 큰 수 만큼의 Shift_DR상태유지가 매년 시험패턴을 인가하고 응답 값을 출력하는데 필요하게 된다. 따라서 표준 경계면 스캔구조에서 TAP제어기의 데이터 스캔경로를 통하여 대상 회로에 대한 연속적인 시험 패턴 입력은 불가능하다.[11,12]

또한 동시에 캡처와 출력 시프트과정이 모든 BSR에 일괄적으로 적용되어, 대상 회로의 응답 값 들을 1개의 TDO를 통해 직렬로 출력해야하므로, 임의의 출력단자에 시험회로의 실시간 동작과정의 연속출력 신호를 관측 할 수 없으며, 그림 4는 실시간 동작하는 시험회로에 대한 일반적인 5개의 BSR 체인 구조로서 표 1과 같은 시험 데이터 출력 형태를 설명하였다.

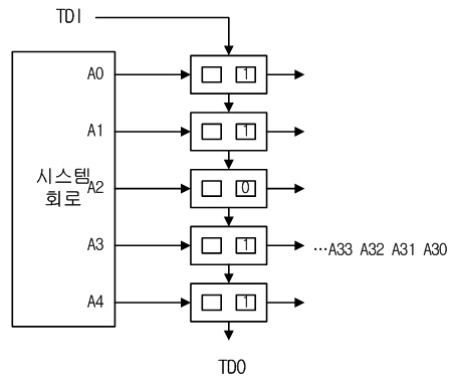


그림 4. 실시간 신호 출력구조(출력:5)

Fig. 4. Output Structure of Run-Time Signal (output : 5)

표 1 BSR의 출력 데이터(출력:5)
Table 1. output data of BSR (output : 5)

동작 Clock	출력 신호선					표준 BSR 시험상태	표준 BSR 출력
	A0	A1	A2	A3	A4		
T1	A01	A11	A21	A31	A41	Select1	
T2*	A02	A12	A22	A32	A42	Capture1	
T3	A03	A13	A23	A33	A43	Shift1	A42
T4	A04	A14	A24	A34	A44	Shift2	A32
T5	A05	A15	A25	A35	A45	Shift3	A22
T6	A06	A16	A26	A36	A46	Shift4	A12
T7	A07	A17	A27	A37	A47	Shift5	A02
T8	A08	A18	A28	A38	A48	Update1	
T9	A09	A19	A29	A39	A49	Select2	

표 1에서 실시간 회로 동작 클럭 Tn과 시험 클럭 TCK가 동일한 속도로 진행될 때, TMS와 TCK의 신호 조합으로 천이되는 TAP 제어기의 제어신호로 동작되는 표준 BSR 구조는 시험회로의 연속적인 시험회로 출력(A0n~A0n)을 직렬

출력단자인 TDO로 출력하는 것은 불가능하다. 연속적인 출력 데이터의 검출을 위해서는 식 1처럼 시험 클럭 TCK는 시험회로에 실장된 출력 BSR의 개수보다 더 빠른 클럭으로 동작하여야 한다.[8,13]

$$TCK_{hz} \geq Tn_{hz} \times (\text{출력 BSR의 갯수}) \dots (1)$$

따라서 표준 BSR 구조에서 실시간 신호 분석시 다음과 같은 문제 사항을 발생시킨다.

- 테스트 결과의 출력은 출력 BSR의 개수 보다 많은 CLOCK이 필요하다 .
- 고속의 동작회로는 실시간 출력시험이 불가능 하다.
- 동작속도가 느린 경우라도 출력핀의 수가 많을 경우 실시간 출력시험이 불가능 하다.
- 오류 가능성이 높은 출력, 신호지연 시간이 긴 출력 단에 선택시험이 불가능 하다.

그러나, Tn의 속도로 작동하는 대상 회로의 1개의 특정한 출력은 1개의 직렬 출력 TDO를 통해서 Tn과 동일한 속도의 TCK만으로 연속적으로 출력하는 것은 가능하므로, 본 논문에서는 IEEE 1149.1에 제시된 명령어의 정상적인 수행 및 TAP제어기의 동작 시퀀스를 준수하는 실시간 신호에 대한 시험 구조와 시험 절차를 제안하였다.[14,15]

III. RTBSR 설계

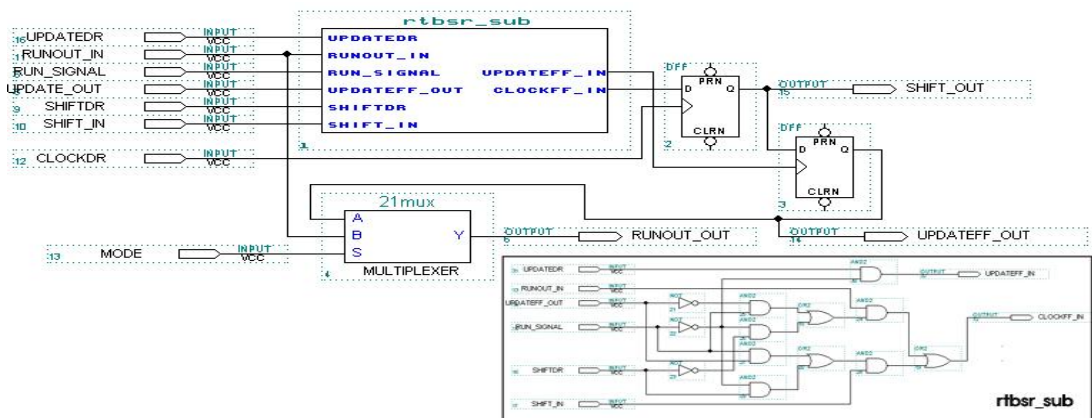


그림 5. RTBSR 블록 회로도
Fig 5. Block Circuit of RTBSR

본 장에서는 시험회로의 출력들 중 시험대상 신호선을 선택하여 대상 회로의 동적인 출력 값을 TDO를 통해 관측할 수 있는 실시간 스캔 레지스터(RTBSR:RunTime Boundary Scan Register)의 설계와 실시간 동작의 시험에 필요한 명령과 시험 절차에 대하여 기술한다.

1. RTBSR 구조 설계

연속적인 입력에 대한 1개의 출력을 연속적으로 TDO로 출력하기 위해서는 우선 SAMPLE/PRELOAD 명령어에 의하여 어떤 출력을 선택 것인지 정할 수 있어야 한다. 또한 연속적으로 실시간 출력 값을 TDO로 출력하기 위해서는 연결된 RTBSR 직렬체인을 통해서만이 가능하므로, 직렬체인을 통과하는 동안 응답 값이 변하지 않아야 한다. 위 조건을 만족시키기 위해 기존의 BSR의 Uf/f의 값을 선택 신호 저장 값으로 사용하였다. 그림 5는 BSR을 개선하여 설계된 RTBSR의 블록회로도이다.

RTBSR은 기존의 BSR의 동작을 수행하면서, 실시간 동작을활성화시키는 RUN_SIGNAL 입력 신호선을 추가로 가지고 있다. RTRUN 명령어가 명령어레지스터에 입력되어 신호선이 '1'이 되면 RTBSR은 실시간 신호를 출력하는 동작을 수행한다. 이 때, 출력측에 연결된 모든 RTBSR중 시험이 요구되는 출력 신호를 결정하기 위한 선별값으로 Uf/f의 저장된 값을 이용하도록 하였다. Uf/f의 저장된 값이 '0'인 RTBSR은 RUN_SIGNAL을 통하여 대상 회로의 응답 값을 Cf/f에 연결되도록 RTBSR_SUB를 설계하였다. 또한 Uf/f의 저장된 값이 '1'인 RTBSR은 SHIFT_IN을 통하여 RTBSR 직렬 체인 구조에서 이전 RTBSR의 Cf/f값을 입력받도록 하였다.

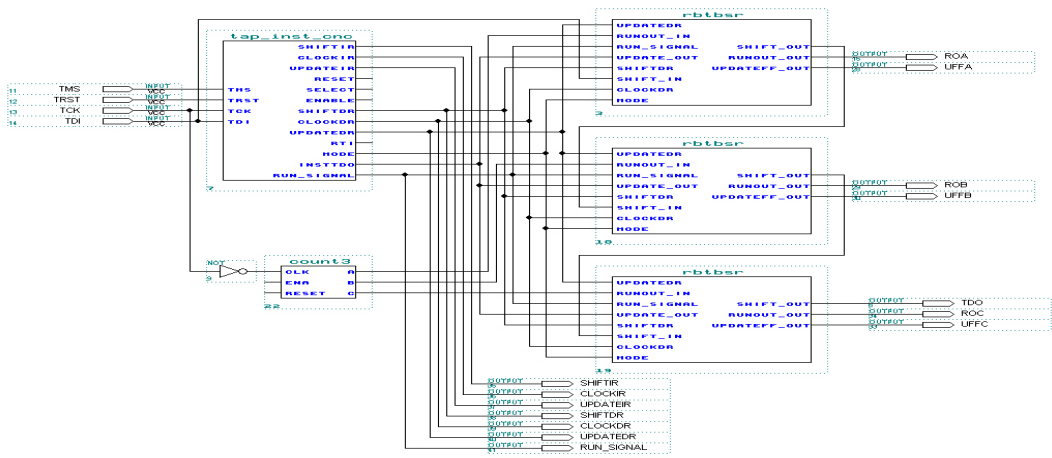


그림 6. RTBSR 시험 회로도
Fig 6. Test Circuit of RTBSR

2. RTBSR 시험 구조에서의 시험 절차

그림 6은 시험 출력 신호선을 선택하여 실시간 출력 신호를 시험하는 절차이다. 시험 과정을 살펴보면, 먼저 경계면 스캔구조를 구성하는 모든 장치들이 초기화된다. 경계면 스캔 레지스터를 구성하는 플립플롭이 리셋되고, 명령어 레지스터의 내용이 초기값을 갖는다.

SAMPLE/PRELOAD 명령을 통하여 시험신호선 선택 값이 입력되고, RTRUN 명령의 수행에 따라 TDO를 통하여 출력되는 시험 신호값들을 저장하여 대상 회로의 기대된 응답 값과의 비교를 통하여 회로의 정상 작동 여부를 판단한다.

시험회로의 실시간 신호에 신호분석을 위하여, TAP제어의 상태 천이에 의해 데이터 스캔동작을 수행하면서 Shift_DR 상태를 반복하여 유지하는 동안, 지정된 시험 신호선의 출력 값이 연속적으로, 설정된 쉬프트 경로를 따라서 TDO로 직렬 출력되어 대상 회로의 정상동작 여부를 판별하며, 새로운 신호선을 시험하기 위하여 위의 과정을 반복하게 된다.

IV. 시뮬레이션 및 고찰

3장에서 제안한 경계면 스캔 레지스터인 RTBSR을 이용한 실시간 출력 신호시험을 수행하기 위하여, 시험대상 회로로 동적으로 출력 값이 변화되는 클럭 입력을 갖는 동기식 3비트 계수기 회로를 선정하였다. 시험회로들은 ALTERA 사의 MAX PLUS II 10.0의 그래픽 편집기와 AHDL(Altera Hardware Description Language)을 이용하여 작성되었으며, 타이밍 시

뮬레이터로 정상동작회로 및 결함회로에 대하여 각각 시뮬레이션을 수행하여 그 결과를 분석하였다.

1. 실시간 시뮬레이션 구조

실시간 신호 시험을 수행하기 위한 시험대상 회로인 계수기 회로는 3개의 출력 신호 선을 가지며, 초기 값 0에서부터 입력 클럭의 상승 에지에서 1씩 증가한다. 그림 7은 시험회로에 실시간 시험 구조를 적용한 전체 회로도이며, 시험회로의 출력 단계에 RUN_SIGNAL에 의해서 제어되는 3개의 RTBSR과 TAP제어기로 구성되어 있다.

2. 시뮬레이션

회로에 대한 시뮬레이션동작을 시험하기 위하여 RTBSR의 시험신호선 설정 값 '110' 주입하였다. 설정된 값 '110'은 RTBSR의 시험동작 과정에서 시험회로의 출력 신호중 ROC를 시험신호로 설정하며, ROC를 생성하는 RTBSR의 실시간 동작신호를 Shift_out 하는 과정으로 작동된다. 아래 그림 8은 실시간 동작과정을 시뮬레이션 결과이며, TDO를 통한 출력 데이터를 분석하면, 실시간 회로 동작시의 기대값(00001111...)과 동일한 출력 데이터 스트림(00001111...)이 생성됨을 알 수 있으며, ROC를 통한 회로의 실시간 신호값이 TDO를 통하여 동일하게 출력됨을 확인하였다. 시뮬레이션 결과 파형을 부분적으로 설명하면 다음과 같다.

- ㉠ SAMPLE/PRELOAD 명령어 입력(110)
- ㉡ CLOCKIR 생성
- ㉢ UPDATEIR 생성
- ㉣ 시험 신호선 설정(110)
- ㉤ SHIFTDTR 생성
- ㉥ RTRUN 명령어 입력(100)
- ㉦ CLOCKIR 생성
- ㉧ UPDATEIR 생성
- ㉨ CLOCKDR 생성
- ㉩ RUN_SIGNAL 생성

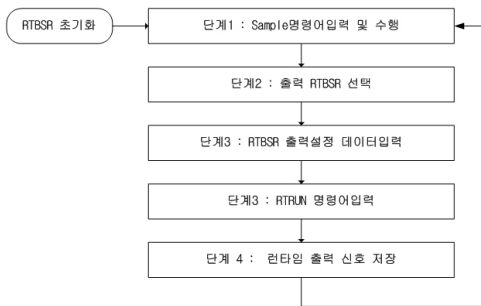


그림 7. RTBSR 시험 절차
Fig 7. Test Procedure of RTBSR

그림 8의 시뮬레이션 파형을 통해서 본 논문에서 제안된 실시간 시험 기능을 가진 RTBSR을 이용한 시험 구조의 동작을 관찰 하였다. 시험 대상 회로의 실시간 동작 상태에서 출력 신호를 연속적으로 분석하는 과정이 정상적으로 수행됨

을 알 수 있었다. TAP제어기의 데이터 스캔동작을 따라서 시험 데이터의 수 만큼 SHIFT_DR 상태를 반복 유지함으로써 실시간 동작중인 카운터의 연속된 출력 결과가 TDO로 출력 된다.

시험대상 회로인 8진 카운트의 출력 ROC는 실시간 동작 시 연속되는 8개의 출력 열에 대한 결과 값을 분석하므로 시험회로의 정상동작 유무를 진단 할수 있으며, 8개의 출력 값을 시험하는 시간은 8개의 TCK 주기만으로 가능함을 보여주었다.

3. 시험 시간 및 추가 하드웨어

본 논문에서 제안된 실시간 시험이 가능한 RTBSR을 이용한 시험 구조에서 소요되는 데이터 출력 시간은 대상 시험 신호선이 요구하는 시험패턴의 길이에 따라 결정되며, 기본명령어 수행시간, RTBSR 신호선 설정시간 및 RTRUN 명령어 수행시간이 기본적으로 포함된다. 따라서 n개의 시험 패턴 가진 시험회로의 실시간 신호 시험에 필요한 시험클럭의 수는 기본명령어 수행시간(4클럭) + RTBSR 신호설정시간 RTRUN명령어 수행시간(3클럭) + 시험패턴의 길이(n클럭)로 표현되며, 기존의 BSR구조에서 요구되는 시험대상핀의 갯수 만큼 증가 되는 시험클럭 속도가 불필요함을 알 수 있다.

하드웨어 추가 면에서 비교하면, 기존 BSR 구조에서 사용되는 하드웨어에 간단한 조합회로인 AND 게이트*3, NOT 게이트*2가 추가된다.

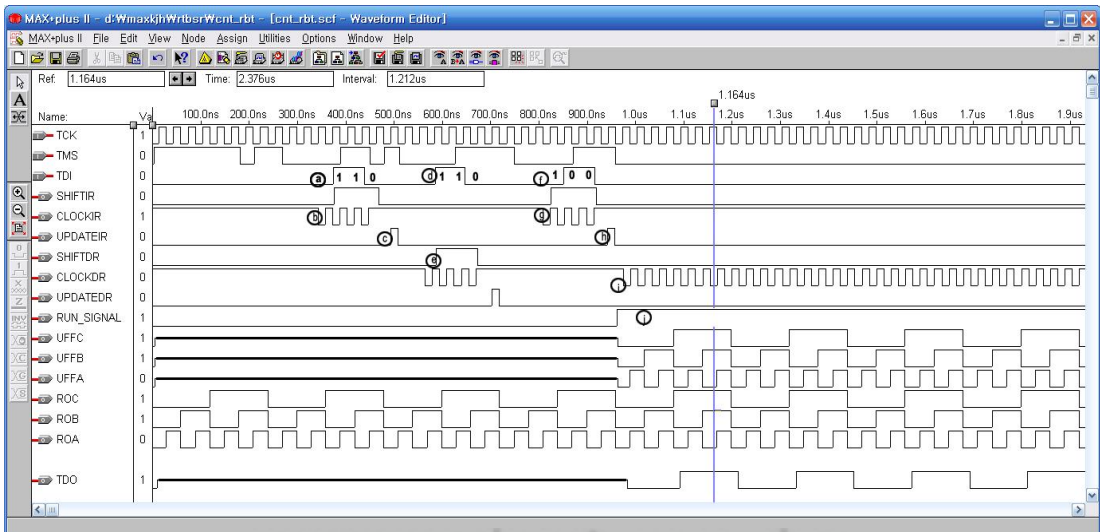


그림 8. 시뮬레이션 파형도
Fig 8. Signal Diagram of Simulation

V. 결 론

본 논문에서는 IEEE 1149.1 경계면스캔 구조의 회로시험 시, 실시간 동작 중인 회로의 출력 신호 중에서 결합 가능성이 높은 특정 출력의 실시간 출력 값들을 시스템클럭과 동일한 속도로 분석할 수 있는 시험 구조와 시험명령어를 개발하고, 시험 절차를 제안하였다. 이를 통해 실시간 동작 중인 대상 회로의 정상동작 여부를 진단하는 과정에서, 실시간시험시 시험 회로의 출력 동작속도를 시험대상회로의 동작속도보다 시험 대상 핀의 수만큼 고속으로 작동시켜야하는 문제점을 해결하였다.

제안된 시험 구조에 대한 분석을 위하여 8진 카운터를 시험회로 구성하고, 시뮬레이션을 수행하였다. 3개의 시험대상 핀을 가진 8진 카운트의 시험시 기존의 BSR구조에서는 회로 동작속도*3의 시험클럭 속도를 유지하여야 실시간 동작시 출력 신호를 분석 할 수 있다. 그러나 본 논문에서 설계된 실시간 경계면 스캔레지스터(RTBSR)는 시스템 동작 클럭과 동일한 속도로 작동되어, 시스템의 실시간 동작신호의 시험이 가능함을 보여주었다. 제안된 시험 구조와 절차는 표준화된 시험과정에 의한 시스템 실시간 동작 시험시 효율적으로 이용될 수 있으며, 향후 아날로그 시스템 회로에 대한 실시간 동작 신호시험에 대한 연구가 지속되어야 한다.

참고문헌

- [1] 박희동, "디지털 회로 디버깅을 위한 IEEE 1149 JTAG 및 Enhanced JTAG 기술," 한국멀티미디어학회지 제 7권, 제 3호, 12-23쪽, 2003년 9월.
- [2] IEEE Computer Society Home Page. 2009. IEEE Std. 1149.1(IEEE Standard Test Access Port and Boundary Scan Architecture), 1990 (<http://iee.org/web/standards/home/index.html>).
- [3] M. Williams and J. Angell, "Enhancing Testability of Large-Scale Integrated Circuits via test points and Additional logic," IEEE Transaction on Computers, pp. 46-60, Jan. 1973.
- [4] 장영식, 이창희, "경계면스캔에서의 연속캡처 시험구조 개발" 정보처리학회논문지 A 제 16-A권, 제 2호, 79-88쪽, 2009년 4월.
- [5] M. El-Mahlawy, E. El-Sehely, A. Ragab and S. Anas, "Design and implementation of an new Built-In Self-Test boundary scan architecture," Microelectronics 2003(ICM 2003), pp. 27-31, Dec. 2003.
- [6] J. Rearick, S. Patterson and K. Dorner, "Integrating boundary scan into multi-GHz I/O circuitry," Proceedings of the IEEE International Test Conference, pp. 560-566, 2004.
- [7] S. Kundu, T. Mak and R. Galivanche, "Trends in manufacturing test methods and their implications," Proceedings of the IEEE International Test Conference, pp. 679-687, 2004.
- [8] S. Mitra, E. McCluskey and S. Makar, "Design for testability and testing of IEEE 1149.1 TAP controller," VLSI Test Symposium 2002(VTS 2002), pp. 247-252, May 2002.
- [9] X. Wang, L. Liang and J. Wang, "A New Solution to Implement Multi-Full Scan Chain Test with JTAG," Solid-State and Integrated Circuit Technology(ICSICT '06), pp. 2155-2157, Oct. 2006.
- [10] H. Ehrenberg and T. Wenzel, "Boundary Scan for Structural Board Test on LXI Platform," Proceedings of the IEEE Systems Readiness Technology Conference, pp. 789-794, Sept. 2006.
- [11] L. Unger, Testability Beyond JTAG, Nelson Publishing Inc., 2009.
- [12] J. Hui and C. Xutao, "Research on Design for Testability of PCB Based on JTAG," Proceedings of the 8th International Conference on Electronic Measurement and Instruments, pp. 475-480, Aug. 2007.
- [13] H. Ehrenberg, "Reconfigurable tester hardware extends boundary scan applications while simplifying ate setup," IEEE Autotestcon 2007, pp. 712-717, Sept. 2007.
- [14] C. Lin and S. Reddy, "On Delay Fault Testing in Logic Circuits," IEEE Transaction on CAD, pp. 694-703, Sept. 1987.
- [15] H. Chang and J. Abraham, "Delay Test Techniques for Boundary Scan based Architecture," Proceedings of the IEEE Custom Integrated Circuit Conference, 1992.

저 자 소 개



김 정 흥

1986 : 경북대학교 공학사.
 1988 : 경북대학교 공학석사.
 1988-1996 : 한국전자통신연구원
 2001 : 충남대학교 공학박사.
 1996 - 현재 : 경북대학교 컴퓨터정보
 학부교수
 관심분야 : 유비쿼터스, 임베디드 시스템



장 영 식

1983 : 경북대학교 공학사.
 1993 : 경북대학교 공학석사.
 1983-1994 : 한국전자통신연구원
 2009 : 경북대학교 공학박사.
 1979 - 현재 : 계명문화대학 컴퓨터학
 부교수
 관심분야 : 임베디드시스템, 마이크로
 프로세서



김 재 수

1985 : 경북대학교 공학사.
 1987 : 중앙대학교 공학석사.
 1987-1996 : 한국전기연구소
 1999 : 경상대학교 공학박사.
 1996 - 현재 : 경북대학교 컴퓨터정보
 학부교수
 관심분야 : 센서네트워크, 무선통신