

IR Image Processing IP Design, Implementation and Verification For SoC Design

Hee-Jin Yoon*

Abstract

In this paper, We studied the possibility of SoC(System On Chip) design using infrared image processing IP(Intellectual Property). And, we studied NUC(Non Uniformity Correction), BPR(Bad Pixel Recovery), and CEM(Contrast Enhancement) processing, the infrared image processing algorithm implemented by IP. We showed the logic and timing diagram implemented through the hardware block designed based on each algorithm. Each algorithm was coded as RTL(Register Transfer Level) using Verilog HDL(Hardware Description Language), ALTERA QUARTUS synthesis, and programed in FPGA(Field Programmable Gated Array). In addition, we have verified that the image data is processed at each algorithm without any problems by integrating the infrared image processing algorithm. Particularly, using the directly manufactured electronic board, Processor, SRAM, and FLASH are interconnected and tested and the verification result is presented so that the SoC type can be realized later. The infrared image processing IP proposed and verified in this study is expected to be of high value in the future SoC semiconductor fabrication. In addition, we have laid the basis for future application in the camera SoC industry.

▶ Keyword: IR, SoC, IP, NUC, BPR, CEM, FPGA

I. Introduction

적외선 카메라는 외부로부터 빛의 공급이 없이도 표적자체가 발하는 복사 에너지를 모아 눈으로 볼 수 있는 가시광선으로 변환시켜 관측할 수 있게 하는 장비이다. 적외선 카메라는 가시광선의 유무나 반사되는 빛의 세기 차이로 관측하는 기존의 영상 장비와는 달리 빛이 전혀 없는 야간이라 할지라도 관측이 가능하다. 적외선카메라의 이러한 야간 감시기능 때문에 현재 군사용으로 널리 보급되어있고, 민간분야의 활용 용도로도 많이 활성화 되고 있다[1-2].

적외선카메라는 광학계, 검출기, 영상신호처리 전자부로 크게 구분이 된다. 여기서 광학계는 표적으로부터 오는 광신호를 받아서 검출기에 영상을 맺도록 하는 역할을 하고, 검출기는 광신호를 전기적신호로 변환해 주며, 영상신호처리 전자부는 변환된 전기신호를 이용하여 영상처리를 시행하고 전시기에 표적영상을 최대한 잘 볼 수 있도록 하는 아날로그 및 디지털 영상신호처리 과정을 포함한다[3-5].

적외선 카메라는 기본적으로 동일한 적외선 영상처리 연산 과정을 수행하게 되며, 이는 SoC(System On Chip) 반도체의 주요 구성 중 하나인 IP(Intellectual Property)형태로 구성이 가능하게 된다. 주간 카메라에서는 ISP(Image Signal Processor)와 같은 형태의 IP로 제작이 되어 CCD, CMOS등 다양한 가시광선 검출기들에 SoC 형태로 적용이 되어 카메라 제작에 사용되고 있다[6]. 최근의 기술 및 시장추세는 주간 카메라 모듈의 개발경쟁력 확보를 위하여 IP형태의 전용 ISP개발을 통해 크기, 가격을 줄이기 위한 노력이 많이 연구되고 있다.

본 논문에서는 적외선 영상처리와 IP를 이용한 SoC설계에 대하여 간략히 설명을 하고, 적외선 영상처리 IP로 설계된 불균일보정, 결함화소보정, 영상 대조비 처리 알고리즘에 대하여 세분하여 설명한다. 각 알고리즘을 기반으로 설계된 하드웨어 블록을 통해 구현된 로직과 Timing diagram을 보여주고, 적외선 영상처리 IP로 통합된 하드웨어 블록을 FPGA(Field

*First Author: Hee-Jin Yoon, Corresponding Author: Hee-Jin Yoon

*Hee-Jin Yoon (heejin0.yoon@hanwha.com), Electro-Optronics 2Team, Hanwha Systems Company

*Received: 2017. 11. 28, Revised: 2017. 12. 18, Accepted: 2018. 01. 02.

Programmable Gated Array)에 porting 하여 시험하고 검증한 데이터를 제시한다. 특히 직접 제작된 보드를 이용, 차후 SoC 형태가 가능하도록 Processor, SRAM, FLASH 메모리까지 연동하여 시험하고 검증 결과를 제시한다.

본 연구에서 제안하고 구현한 적외선 영상처리 IP는 향후 SoC 반도체 제작 시 활용가치가 높은 자료가 될 것으로 판단한다.

II. Preliminaries

1. IR CAMERA Image Processing

적외선카메라의 기본적인 영상신호처리는 크게 아날로그 신호처리와 디지털 신호처리로 나누어진다.

아날로그 신호처리는 검출기의 아날로그 신호출력을 디지털 신호로 변환하는 역할을 수행한다. 검출기에서 출력되는 채널 신호를 다중화 하는 고속 아날로그 스위치와 다중화시 발생하는 glitch를 제거하기 위한 저역통과 필터 및 A/D(Analog To Digital) 변환기로 구성된다.

디지털 영상처리는 검출기 구동제어, 적외선 영상처리, 제어 명령 송/수신과 영상출력을 위한 입출력 처리부로 구성된다.

검출기 구동제어를 하기 위해서는 먼저 검출기의 특성을 알아야 한다. 적외선 검출기는 표 1과 같이 그 종류에 따라 크게 광자(photon), 열(thermal)형으로 나뉘며 다시 반도체 소자재료와 전기적 변환 방식에 따라 광전도형(photoconductive), 광전압형(photovoltaic), 광방출형(photoemissive), 볼로미터(bolometer), 초전형(pyrometric), 써모파일(thermopile)로 나뉜다[7]. 광신호를 전기적 신호로 변환하기 위해서는 검출기 제어가 필요한데 이는 검출기 종류와 제조사에 따라 다른 제어가 필요하다.

Table 1. IR Detector Classification [7]

category	Photon Detector	Thermal Detector
Principle	Converts electrons generated by light into signal	Detect temperature change by infrared rays
type	photoconductive photovoltaic photoemissive	bolometer pyrometric thermopile
TEMP	Cooler(10K~200K)	Room TEMP(~300K)
Responsibility	Fast (~Thousands frame)	slow(~30frame)
Portability	Cooler needed	small and lightweight
Price	high	Relatively low
Material	HgCdTe, InSb, PtSi...	VOx,a-Si, Ti, BST,

적외선영상처리는 A/D 변환기로 변환된 디지털 데이터를 가공하여 관측 및 영상정보를 획득 할 수 있도록 하는 영상처리의 과정이다. 검출기 불균일보정, 결점화소보정, 영상 대조비 처리, 윤곽선 필터, 전자잡음, 영상보간 등의 처리를 통해 적외선

영상을 가공 및 구성하게 된다.

입출력 처리부는 적외선카메라 제어 및 영상전시를 위하여 통신포트 구성 및 다양한 전시기에 적합한 영상을 전시하도록 영상을 처리하는 역할을 한다. 통신포트는 RS-422, RS-485와 같은 직렬포트나 Ethernet을 사용하여 사용자 편의에 맞게 ICD를 구성하여 제어하게 된다. 영상의 전시는 NTSC, PAL등 아날로그 전시와 CAMERALINK, HDMI, Ethernet 등 디지털 전시가 가능하도록 표준 영상 포맷에 맞추어 영상을 구성하고 처리하게 된다.

디지털 영상처리 과정 중 검출기 구동제어, 제어명령과 영상출력은 적외선카메라의 요구사항 따라 영상처리방법이 다르게 된다. 검출기 구동제어는 검출기의 선정에 따라, 제어명령은 통신포트의 선정에 따라, 그리고 영상출력은 전시 방법의 선정에 따라 처리과정이 각각 다르게 된다.

하지만 적외선 영상처리는 적외선카메라의 요구사항과 별도로 독립적인 영상처리가 가능하다. 기본적으로 동일한 적외선 영상처리 연산과정을 수행하게 되며, 이는 SoC 반도체의 주요 구성 중 하나인 Customized IP형태로 구성이 가능하게 된다. 본 논문에서는 불균일보정, 결점화소보정, 영상 대조비 처리에 대하여 IP형태로 설계를 하였다.

2. SoC Design using IP

SoC반도체는 시스템이 하나의 반도체 Chip에 집적되어 구현된 반도체로, 각종 기능블록이 하나의 IC(Integrate Circuit)에 집적된 것이다. SoC는 전자기능이 포함되는 제품의 소형화, 고기능화를 위한 비메모리 반도체 기술이며, 컴퓨터, 통신, 영상 등의 전자시스템을 하나의 반도체회로에 집적하여 반도체 Chip으로 전자시스템을 구현하는 반도체 기술이고, 전자제품의 시스템기술과 집적회로설계 등의 반도체 설계기술을 융합하는 기술이다[8].

SoC 설계 방법에는 플랫폼을 재구성하여 사용하는 플랫폼 기반 설계 방법과 IP를 기반으로 시스템을 구성하는 블록 기반 설계 방법이 있다.

플랫폼 기반설계(PBD : Platform-Based Design)는 플랫폼(platform)재활용 시스템이 점점 복잡해지면서 IP들을 구성하고 검증하는 데에도 시간 및 비용이 많이 들게 된다. 따라서 여러 시스템에서 사용 가능한 공통적인 아키텍처(architecture)와 코어 프로세서(core processor)에 상주하는 OS 등 범용적인 플랫폼(platform)을 구성해놓고 필요에 따라 소프트웨어를 변경하거나 새로운 기능 블록을 추가하는 방법으로 시스템을 재구성하는 방법을 그림1 과 같이 플랫폼 기반 설계(PBD)라고 한다[8].

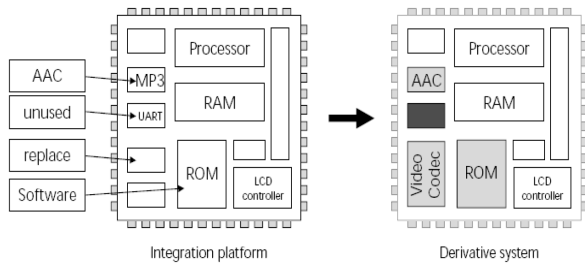


Fig. 1. platform-based design [9]

블록 기반 설계(BBD : Block-Based Design)는 복잡한 시스템을 빠른 시일에 개발하기 위해서 IP를 재활용하는 방법이 사용되고 있다. 이런 IP를 기본적인 설계 단위로 하여 그림2 과 같이 시스템을 구성하는 방법을 블록 기반 설계라고 한다[8].

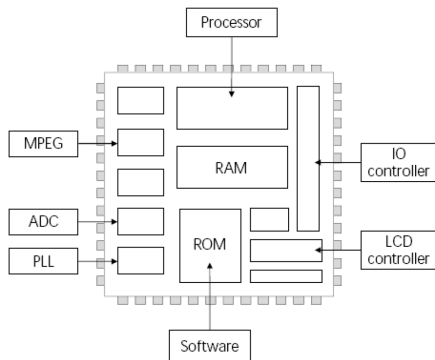


Fig. 2. block-based design [9]

두 가지 설계 방법 모두 IP가 중요하며 IP기반으로 설계가 되어야 SoC 반도체에 적용이 가능하다. IP 검증을 위하여 먼저 RTL(Register Transfer Level) 수준으로 로직설계를 하고 FPGA를 통해 구현 및 검증이 이루어져야 한다. 현재 주간카메라용 영상신호처리를 위한 IP는 제작 및 연구는 활발히 이루어지고 있지만 적외선 카메라용 영상신호처리를 위한 IP 제작과 연구는 주간카메라에 비해 더딘 편이다.

III. The Proposed Scheme

1. IR Image Processing FPGA H/W Block

본 논문에서 설계된 하드웨어 블록은 그림3 과 같다. 적외선 영상처리를 수행하는 FPGA블록과 영상제어와 메모리제어를 수행하는 Processor 블록으로 나누어진다.

FPGA 블록에서는 아날로그에서 디지털로 변환된 데이터를 검출기 불균일보정, 결점화소보정, 영상 대조비 처리 과정을 통해 적외선 영상을 가공 및 구성하게 되는 신호처리를 수행한다.

Processor 블록에서는 각 영상처리 과정 중 메모리에 접근이 필요한 과정에 대하여 순차적으로 접근이 가능하도록

scheduling을 하게 되며, 필요한 메모리에 영상들을 저장하고 불러 올 수 있도록 전체 Memory Map을 권장한다.

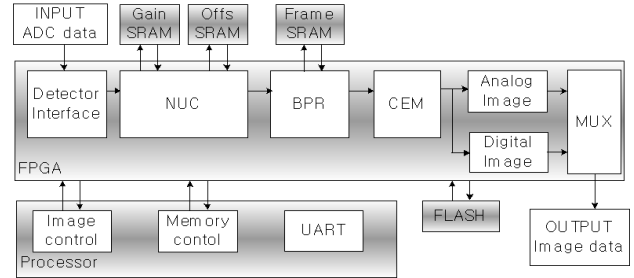


Fig. 3. IR Image Signal Processing H/W block

2. NUC(Non Uniformity Correction) Module

디지털로 변환된 데이터가 가장 먼저 수행되는 과정은 불균일 보정 과정이다. 이 과정은 검출기 각 화소의 불균일을 보정하여 검출기 데이터를 균등하게 하여 보정하는 과정이다. 검출기 각 소자마다 출력특성이 다르므로 인하여 나타나는 영상의 불균일 패턴을 보정하기 위한 방법으로 비선형적인 소자들의 출력특성을 gain과 offset 보정계수를 이용하여 선형화한다[7].

Processor에서 frame메모리를 이용하여 2점 NUC알고리즘을 사용하여 온도별 gain, offset table을 소자별 출력특성을 참조하여 구한 다음(온도별 출력을 가지고 산적연산 수행) SRAM메모리에 저장한다. 그리고 FPGA에서 SRAM메모리에 저장된 gain, offset table을 참조하여 각 소자별 출력에 gain을 곱하고 offset을 더하여 보정된 출력값을 내보내는 역할을 한다[10]. 전체적으로 보면 Processor에서 gain, offset을 구하고 FPGA에서 직접 그 값을 연산한다고 볼 수 있다.

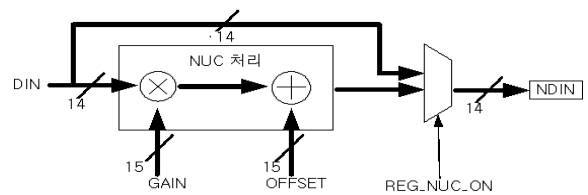


Fig. 4. NUC Process Logic Design

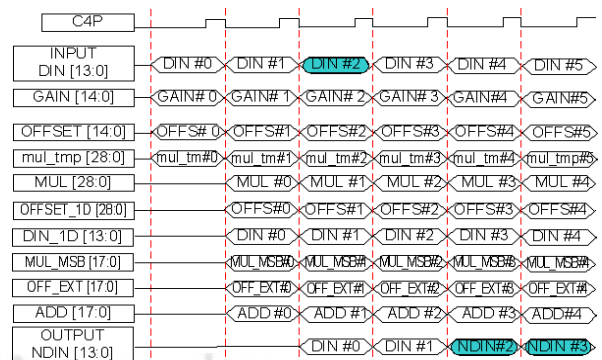


Fig. 5. NUC Process Timing Diagram

NUC 블록은 입력된 데이터(DIN)에 비해 출력된 데이터(NDIN)는 그림 5와 같이 2클럭의 latency를 갖게 된다. 이는 급샘이후 timing error를 줄이기 위해 data를 latch를 하였고, By-pass된 입력데이터와 향후 MUX를 통해 data 선택 시 Timing이 변화가 없기 위하여 MUX에서 latch를 한번 더 수행함으로 2클럭의 latency를 갖게 되었다.

3. BPR(Bad Pixel Recovery) Module

불균일 보정 연산 후 데이터는 결점화소 보정 연산과정을 수행하게 된다. 결점화소 보정 연산은 결점화소 검출과 처리로 나누어진다. 결점화소 검출은 2가지 과정을 거친 후 AND 연산을 통하여 확률을 높인다.

첫번째 검출과정은 불균일 보정 연산과정을 위해 구해진 검출기 각 화소의 gain과 offset은 각각의 히스토그램 분포를 이용하는 방법이다. 먼저 gain의 히스토그램 분포 값으로부터 결점화소로 검출 할 이득 문턱(threshold) 값을 구한다. 동시에 offset의 히스토그램 분포로부터 결점화소로 검출 할 지점의 보상 문턱 값을 구한다. 메모리에 저장된 gain과 offset을 차례로 읽어 오며 문턱 값과 비교하여 문턱 값 이하의 gain, offset을 가지는 화소는 결점화소로 검출하고, 각 메모리의 data 최상위비트를 결점화소 flag 비트로 사용하여 검출된 결점화소의 gain, offset data의 최상위비트를 set한다[11].

두번째 검출과정은 2점 불균일 보정의 gain과 offset을 연산하기 위하여 누적한 영상 프레임의 검출기 모든 화소의 평균값을 구하고, 누적한 영상 프레임의 각 화소의 평균값을 비교함으로써 결점 화소를 검출 할 수 있다. 검출된 결점화소는 마찬가지로 검출된 결점화소의 gain, offset 메모리 data의 최상위비트를 set한다[11].

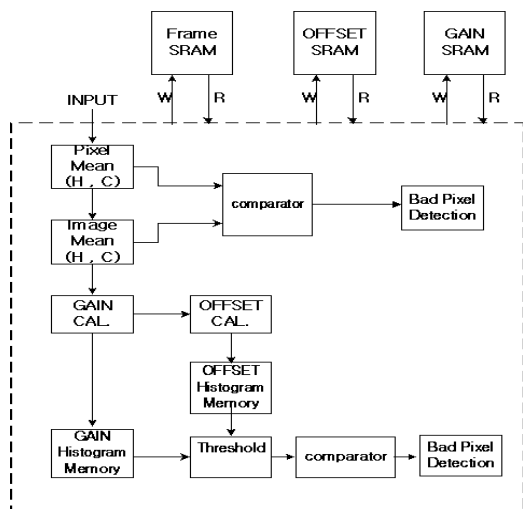


Fig. 6. Bad Pixel Detection Block

결점화소 처리는 결점화소 검출연산 결과를 바탕으로 연산과정을 수행한다. gain, offset 메모리 data의 최상위 비트를 참조하여 처리한다. 결점이 있는 pixel을 보상하려면 앞, 뒤 data

를 저장하여 참조할 필요가 있다. 따라서 앞(NDIN), 뒤(NDIN_2D)의 data를 모두 가지고 있는 NDIN_1D가 보상하고자 하는 현재의 Data가 된다. 결점화소 처리의 전체적인 흐름은 현재 보상하고자 하는 pixel(NDIN_1D)을 어떤 data를 참조하여 어떻게 보상할 것인가에 초점이 맞춰져 있다. 결점화소가 무엇인가에 따라서 출력되는 data는 어떻게 되는지 살펴보면 다음과 같다. 결점여부를 살펴보는 data는 NDIN, NDIN_2D, 이전 line의 NDIN_1D까지 총 3개의 data를 참조하게 되며 출력시 그에 따른 결점화소 처리는 표 2의 출력 data와 같다.

Table 2. Bad Pixel Recovery concept

		Pixel				
LINE	M-1			NDIN_1D		
	M	NDIN_2D	NDIN_1D (Bad Pixel)	NDIN
	M+1			NDIN_1D		

If reference data Bad pixel		Output data
No defect		NDIN_AVG (Mean of NDIN & NDIN_2D)
NDIN		NDIN_2D
NDIN_2D		NDIN
NDIN & NDIN_2D		PRELINE
NDIN & NDIN_2D & PRELINE		FDIN (Previous data before correction)

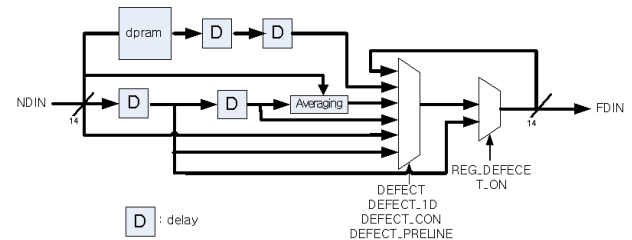


Fig. 7. Bad Pixel Recovery Process Logic Design

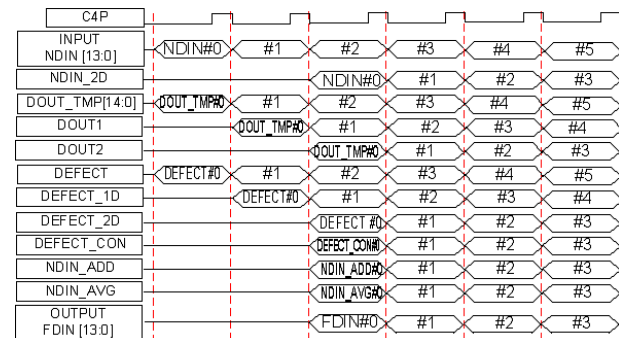


Fig. 8. Bad Pixel Recovery Process Timing diagram

4. CEM(Contrast Enhancement) Module

결점화소 처리가 끝난 프레임은 영상 대조비 처리의 과정을 수행한다. 영상 대조비를 처리하는 영상처리 알고리즘들은 다

양하지만 본 논문에서는 히스토그램 평활화(Histogram Equalization, HE) 알고리즘으로 구현하였다. 히스토그램 평활화(HE) 방법은 영상의 히스토그램을 조절하여 명암비를 균일하게 만들어 주는 영상 처리 기법이다. 히스토그램에서 일부영역에만 분포하는 화소들의 값을 모든 영역의 값의 범위에 골고루 분포하도록 재배치하여서 영상의 명암비를 증대시킨다. 히스토그램 분포의 입력 영상 화소 값은 정규화 누적합 연산 후에 출력 영상 값에서 모든 영상 화소 값을 다 갖게 되며, 각각의 화소값에 해당하는 픽셀수는 거의 일정하게 된다[12-13].

실시간 영상 처리에서 히스토그램 평활화(HE) 기법을 사용하면 프레임간의 정규화 된 화소 값의 차이로 영상의 명암비는 변하게 된다. 입력 영상이 일정할 경우에는 정규화 된 화소 값이 비슷하여 명암비의 차이가 없는 영상이 나타나게 된다. 하지만 입력되는 영상이 변화가 있을 경우에는 프레임간의 정규화 된 화소 값이 변하여 명암비의 차이가 있는 영상이 나타난다. 실시간 영상처리에서 히스토그램 평활화(HE) 방법 적용 시 발생할 수밖에 없는 이러한 값의 차이를 줄이기 위해 각 프레임의 정규화 된 화소값 LUT 적용 시 필터를 두었다. IIR 필터는 각 프레임간 LUT 적용 시 발생하는 값 차이의 변화량을 조절하여 영상 전시가 자연스럽게 이루어지도록 하였다. 설계한 블록은 전체 구조는 아래 그림9와 같다[14].

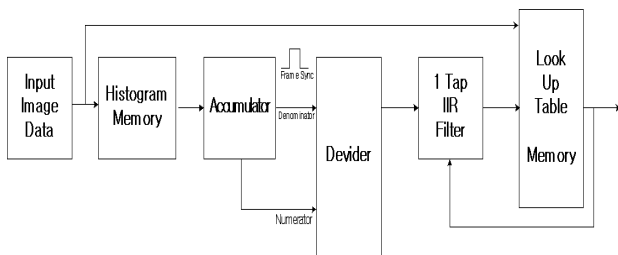


Fig. 9. Histogram Equalization(HE) H/W Block[14]

히스토그램 생성 방법은 그림 12와 같이 입력된 영상 데이터는 화소 값을 메모리의 write address(HIST_WADDR)로 하고, 화소수를 데이터로 하여 메모리에 저장하여 영상에 대한 히스토그램을 만든다. 영상 데이터가 들어오고 있는 동안에 히스토그램을 만들게 된다. 영상 데이터가 끝나고 NULL 구간동안에는 히스토그램 메모리에 저장되어 있는 화소 값들을 읽어서 누적기를 통하여 각 화소 수들의 누적 합을 연산한다. 각 화소 값들은 영상 신호 처리 클럭에 맞추어 출력되며 누적 연산은 영상 픽셀 값의 가장 큰 값만큼의 클럭 동안에 수행된다. 입력 영상의 총 누적 화소수의 합은 frame sync 신호에 맞추어 값이 갱신되며 갱신되어진 값은 나눗셈기의 분모로서 총화소수로 입력되고 분자는 누적기의 매 클럭 마다 누적 되어 지는 각 화소수의 합들이 입력된다. 나눗셈기에서는 나눗셈뿐만 아니라 bit shift 연산을 통하여 정규화 연산에 필요한 가장 큰 화소값을 곱해주는 연산까지 수행하게 된다. 나눗셈기를 통해 정규화 연산이 이루어지면 각 픽셀의 정규화 된 화소 값들은 LUT

메모리에 들어가기 전 IIR 필터를 통과한다[14].

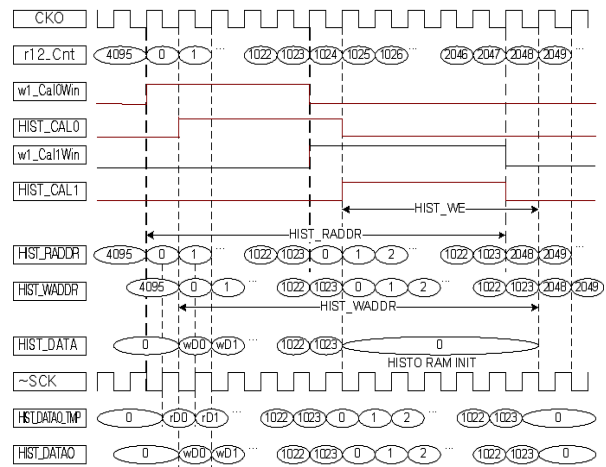


Fig. 10. Histogram Making Timing Diagram

영상의 NULL 구간동안은 LUT 메모리에 정규화 연산된 화소 값들이 써지게 되며, 다음 프레임의 입력된 영상 데이터 값이 LUT 메모리의 read address값(HIST_RADDR)이 되면서 정규화 된 화소 값들이 출력되며 영상으로는 대조비가 처리가 된 영상으로 보이게 된다.

5. H/W Test and Verification

불균일보정, 결합화소보정, 영상대조비처리 모듈은 각각 verilog HDL을 이용 RTL로 코딩하고 MODELSIM Simulation Tool을 사용하여 behavior verification을 수행하였다. 또한 ALTERA QUARTUS 11.1에서 Synthesis 후 P&R(Place and Router) 과정을 거쳐 생성된 파일을 FPGA에 장입하였다. 그리고 표3 사양의 검증보드에 개별 알고리즘 형태로 생성된 binary파일을 FPGA에 장입하여 검증을 하였다. 또한 각각 검증된 알고리즘 모듈을 그림 3과 같이 적외선영상처리 하드웨어 블록으로 통합 구성을 하고 마찬가지로 ALTERA QUARTUS 11.1에서 Synthesis 후 P&R 과정을 거쳐 생성된 파일을 FPGA에 장입하고 검증을 하였다.

Table 3. Verification Board Specification

IC	P/N	SPEC	Maker
FPGA	EP2S90F150814	1508pin 15,600LE	ALTERA
Processor	AT91R40008	ARM7 FLASH	ATMEL
SRAM	CY7C1061AV33-10ZXI	512KB	CYPRES
FLASH	TE28F128J3D75	256Mbit	NUMONI X
POWER	+1.2V, +1.8V, +3.3V	LDO	LT ETC2.
OSC	49.14, 29.5 Mhz	MCLK	soojung

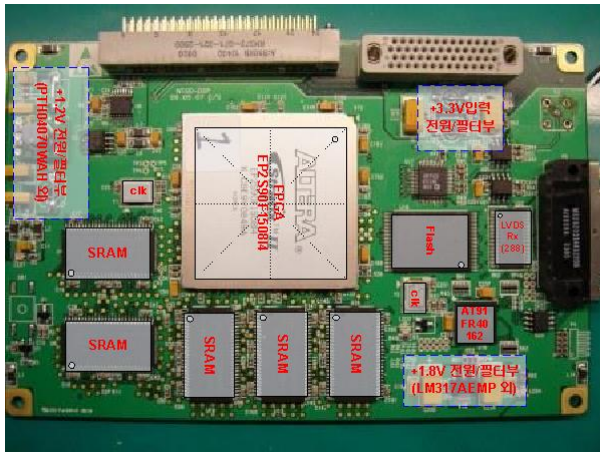


Fig. 11. IR ISP IP Verification Board

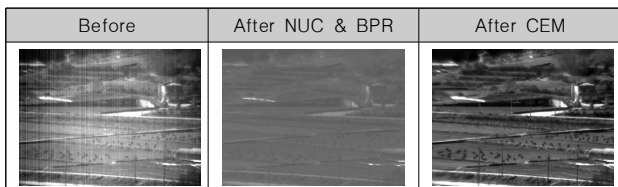
아래 표4는 적외선 영상처리 IP 검증보드를 적용하여 검증한 적외선카메라 사양을 나타내었다. 검출기, 냉각기, AD resolution, 영상갱신율, 전시기 형태, 광학사양에 대한 정보를 정리하였다.

Table 4. IR Camera SPEC for Verification

Component	Specification
Detector Type	Photon Detector Type photoconductive(HgCdTe)
Cooler(Temp)	Linear Cooler(80K)
ADC resolution	14bit
Frame rate	60Hz
Display	Digital, Cameralink
Optical F#	5.5

아래 표5는 제작된 적외선카메라에 구현한 적외선영상처리 IP를 실제 적용하여 획득한 영상이며 크게 NUC, BPR, CEM으로 적외선 영상처리의 결과를 각 단계를 구분하여 표현하였다.

Table 5. IR Image Processing Verification Result



구현한 적외선영상처리IP가 IP를 기반으로 SoC 시스템을 구성하는 BBD(Block Based Design)설계방법에 사용가능함을 검증보드와 적외선카메라를 이용하여 검증하였다. SoC 반도체는 시스템이 하나의 반도체 Chip에 집적되어 구현되어야 하는데, 표3의 사양으로 제작된 그림11과 같은 검증보드의 FPGA, Processor, SRAM, FLASH, Power, Oscillator가 하나의 반도체 Chip으로 구성 가능함을 동작을 통해 검증을 하였다. 각 IC들이 상호구성을 하며 전원, SRAM, FLASH 메모리 읽기/쓰기,

프로세스의 메모리 관장 역할을 수행하는 것을 검증보드와 적외선카메라를 통해 확인하였다. 표5의 적외선카메라로부터 획득한 검증결과 영상은 적외선영상처리 IP를 탑재하여 제작된 검증보드가 그 자체로 ASIC 설계하면 적외선카메라용 SoC제작이 가능함을 보여준다.

IV. Conclusions

본 논문에서 제안된 적외선 영상처리 IP는 향후 SoC반도체 제작 시 IP로서 역할이 가능함을 FPGA 구현 및 시험을 통해 검증하였다. 불균일보정, 결함화소보정, 영상대조비처리의 적외선 영상처리 알고리즘을 각각 설계하였고, 구현 및 시험을 통해 각 단계별로 검증을 하였다. 또한 적외선영상처리 알고리즘을 통합하여 영상의 데이터가 처리됨을 시험을 통해 검증 하였다. 통합 구현된 적외선 영상처리 알고리즘을 FPGA porting하였고, 주변장치들과의 연동시험을 통해 customized IP가 될 수 있음을 검증하였다.

이는 향후 그림 2와 같은 BBD(Block Based Design)로 SoC 설계시 적외선 영상처리 IP를 중심으로 Processor, SRAM, FLASH, 전원부, Peripheral 이 하나의 Package로 구성된 적외선 영상처리 SoC반도체가 제작이 가능하다. FPGA내부의 적외선 영상처리 IP를 제외하고, Processor를 비롯한 나머지 하드웨어들은 이미 상용 IP로서 존재하며, 적외선 영상처리 IP는 RTL로 코드가 작성이 되어 Logic Synthesis 이후 Gate-Level Netlist작성이 잘 이루어진다면 Design House를 통해 SoC작업이 쉽게 가능하다.

본 논문에서 검증한 적외선 영상처리 IP는 활용가치가 높은 자료가 될 것으로 판단되고, 향후 카메라 SoC 산업에 유용하게 적용될 수 있는 토대를 마련하였다

REFERENCES

- [1] Hong, Seok-Min "Advanced LWIR Thermal Imaging Sight Design", Korean Journal of Optics and Photonics" Vol.16, No. 3, pp. 209-216, JAN. 2005
- [2] Song, Cheon-ho "Applying tilt mechanism for high-resolution image acquisition," Journal of The Korea Society of Computer and Information, Vol.19, No.12 pp.31-37, Dec. 2014
- [3] Michael C. Dudzik, "The Infrared & Electro-Optical Systems Handbook VOLUME 4 Electro-Optical Systems Design, Analysis, and Testing," SPIE OPTICAL ENGINEERING PRES, 1993.

- [4] David H. Pollock, "*The Infrared & Electro-Optical Systems Handbook VOLUME 7 Countermeasure Systems*," SPIE OPTICAL ENGINEERING PRES, 1993.
- [5] Ronald G. Driggers, Paul Cox, Timothy Edwards, "*Introduction to Infrared and Electro-Optical Systems*," ARTECH HOUSE, INC. 1999.
- [6] Korea Institute of Science and Technology Information "*Image Sensor(CCD,CMOS)*," pp.21. Dec. 2017.
- [7] Yong-Tek Jung "*Latest Technology Trend of Infrared Sensor*", Hongrung Publishing Company, 2014.
- [8] Korea Institute of Science and Technology Information "*Industrial SoC Technology Development Trend*", pp.2-3, Jan. 2007.
- [9] ChanHo Lee, "SoC Technology Development Trend", Soong-Sil Univ. TTA jurnal, Vol 93, pp99-95, JAN, 2004.
- [10] Parul Goyal, "NUC Algorithm for correctiing Gain and Offset Non-uniformities", IJCSET, Vol 1, Issue 2, 70-76, March. 2011
- [11] HeeJin Yoon, "FPGA implementation of bad pixel detection technique of Infrared camera", 2011 IEEK Fall Conference, pp.700-702, Dae-jon Kaist, Korea, OCT, 2011
- [12] TaeHyo Kim, YoungMan Kwon, MyungKeun Jun, "*Introduction to Digital Image Processing with MATLAB*", Hanti Media, 2011.
- [13] Heesuk Lee, "*Image Processing programming from basic algorithms to library use*", freelec, 2013.
- [14] HeeJin Yoon, "Implementation of high speed Histogram Equalization CEM for dual mode DIRCM surveillance & reconnaissance", 2014 IEEK Summer General Conference, pp613-615, Je-ju Grand Hotel, Korea, June. 2014

Authors



HeeJin Yoon received the B.S. degrees in Electronics Engineering from Kwangwoon University, Korea, in 2000 and M.S. degrees in Electronics-Communication Engineering from Kwangwoon University, Korea, in 2003. Mr. Yoon joined the

Electro-Optronics 2Team of Hanwha Systems, Korea, in 2004. He is currently a Senior Engineer in the Electro-optics · PGM R&D Site, Hanwha systems. He is interested in Digital Image Processing of IR Camera and System Design.