

플래시 메모리 상에서 불량률 개선 및 수명 연장을 위한 효율적인 단일 비트 셀 전환 기법

이현섭*

백석대학교 컴퓨터공학부 교수

An Efficient SLC Transition Method for Improving Defect Rate and Longer Lifetime on Flash Memory

Hyun-Seob Lee*

Professor, Division of Computer Engineering, Baekseok University

요약 플래시 메모리 기반 저장장치인 SSD(solid state disk)는 높은 집적도와 빠른 데이터 처리가 가능한 장점을 가지고 있다. 따라서 급격하게 증가하고 있는 빅데이터를 관리하는 고용량 데이터 저장 시스템의 저장장치로 활용되고 있다. 그러나 저장 미디어인 플래시 메모리에 일정 횟수 이상 반복해서 쓰기/지우기 동작을 반복하면 셀이 마모되어 사용하지 못하는 물리적 한계가 있다. 본 논문에서는 플래시 메모리의 불량률을 줄이고 수명을 연장하기 위해 불량이 발생한 다중 비트 셀을 단일 비트 셀로 변환하여 사용하는 방법을 제안한다. 제안하는 아이디어는 물리적 특징이 다르지만 동일하게 불량으로 처리되고 있는 다중 비트 셀과 단일 비트 셀의 불량 및 처리 방법을 구분하였다. 그리고 불량에 예상되는 다중 비트 셀을 단일 비트 셀로 변환하여 불량률을 개선하고 전체적인 수명을 연장하였다. 마지막으로 시뮬레이션을 통해 SSD의 증가한 수명을 측정하여 제안하는 아이디어의 효과를 증명하였다.

주제어 : 메모리, 낸드 플래시 메모리, 다중 비트 셀, 단일 비트 셀, 수명

Abstract SSD (solid state disk), which is flash memory-based storage device, has the advantages of high density and fast data processing. Therefore, it is being utilized as a storage device for high-capacity data storage systems that manage rapidly increasing big data. However, flash memory, a storage media, has a physical limitation that when the write/erase operation is repeated more than a certain number of times, the cells are worn out and can no longer be used. In this paper, we propose a method for converting defective multi-bit cells into single-bit cells to reduce the defect rate of flash memory and extend its lifetime. The proposed idea distinguishes the defects and treatment methods of multi-bit cells and single-bit cells, which have different physical characteristics but are treated as the same defect, and converts the expected defective multi-bit cells into single-bit cells to improve the defect rate and extend the overall lifetime. Finally, we demonstrate the effectiveness of our proposed idea by measuring the increased lifetime of SSD through simulations.

Key Words : memory, nand flash memory, multi level cell, single level cell, lifetime

*This paper was supported by 2023 Baekseok University Research Fund

*교신저자 : 이현섭(hyunseob@bu.ac.kr)

접수일 2023년 4월 10일 수정일 2023년 6월 10일 심사완료일 2023년 6월 14일

1. 서론

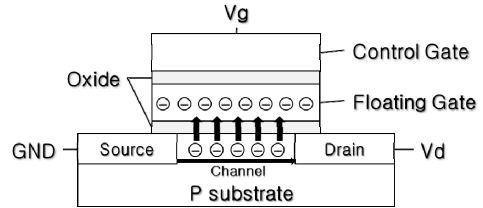
최근 급격하게 증가하고 있는 빅데이터를 효율적으로 관리하기 위해 플래시 메모리 기반 저장장치인 SSD (solid state disk)를 저장 시스템에서 활용하고 있다. 그러나 플래시 메모리는 일정 횟수 이상 반복적인 쓰기/지우기 동작을 반복하면 셀이 마모되어 사용하지 못하는 물리적 한계가 있다. 따라서 빈번한 업데이트가 발생하는 빅데이터를 관리하기 위한 수명 연장 기법의 연구가 필요하다. 일반적으로 단일 비트 셀은 다중 비트 셀과 비교하여 약 10배 이상의 쓰기/지우기 동작을 처리하는 것이 가능하다. 그러나 현재의 정책은 다중 비트 셀과 단일 비트 셀을 구분하여 관리하기 때문에 다중 비트 셀에서 불량 발생했을 때 불량으로 처리한다[1-4]. 본 논문에서는 플래시 메모리의 수명 연장을 위해 불량 발생이 예상되는 다중 비트 셀을 단일 비트 셀로 변환하여 관리하는 변환정책을 제안한다. 이 정책은 다중 비트 블록에서 불량 발생했을 때 블록과 연결된 잠정적 불량 발생 블록을 식별하고 이 블록들을 모아서 단일 비트 셀 블록으로 변환한다. 그리고 단일 비트 셀 블록 전환으로 줄어드는 용량을 보전하기 위해 예비 블록을 사용하도록 하였다. 결과적으로 제안하는 아이디어는 불량 블록을 대체하기 위한 예비 블록 자원의 사용을 줄이고 저장장치의 수명을 연장하는 효과가 있다. 마지막으로 시뮬레이션을 통해 논문에서 제안하는 아이디어가 저장장치의 수명을 연장하는 성능을 증명한다.

2. 배경 및 문제점

2.1 플래시 메모리 셀의 구조

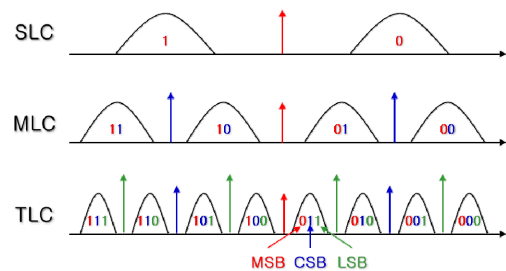
Fig. 1은 플래시 메모리 셀의 구조를 보여주고 있다. 그림과 같이 셀을 구성하는 요소는 기판 상단에 옥사이드, 메탈의 중첩된 게이트 구조와 양옆에 있는 소스와 드레인이다. 플래시 메모리에서 데이터 쓰기 동작의 과정은 V_g 에 높은 전압을 가하여 기판에 흐르는 전자를 옥사이드를 넘어서 플로팅 게이트로 넘어오게 하는 것이다. 그리고 읽기 동작의 과정은 V_g 와 V_d 에 일정 전압을 가하여 소스와 드레인 사이에 전자들이 모여 전류가 흐르는 수준으로 채널이 형성되는지를 관찰하는 것이다. 셀이 유지하고 있는 데이터는 전류 흐름 여부에 따라 0과 1로 구분한다. 만약 쓰기 동작이 수행되면었을 경우 플로팅 게이트가 형성되기 때문에 적은 전력으로도 소스와

드레인 사이 전류가 흐를 수 있는 채널을 형성할 수 있다. 그러나 쓰기 동작이 선행되지 않으면 채널이 형성되지 않아서 전류가 흐르지 못한다.



[Fig. 1] Structure of Cell

Fig. 2는 셀의 저장방식을 보여주고 있다. 플래시 메모리 셀은 몇 비트(bit)를 저장할 수 있는냐에 따라 서로 다른 타입으로 구분한다. 그림에서는 단일 비트를 저장할 수 있는 SLC(single level cell), 두 비트를 저장할 수 있는 MLC(multi level cell), 세 비트를 저장할 수 있는 TLC(triple level cell)의 방식을 보여주고 있다. SLC는 LSB 타입의 단일 비트를 이용하여 1과 0 2개의 정보를 표현할 수 있다. MLC는 MSB와 LSB 타입의 두 비트를 이용하여 00, 01, 10, 11 4개의 정보를 표현할 수 있다. TLC는 MSB, CSB, LSB 타입의 세 비트를 이용하여 8개의 정보를 표현할 수 있다. 즉 플래시 메모리는 동일 용량의 셀이라도 저장방식에 따라 용량과 성능에 차이가 있다[5-9].

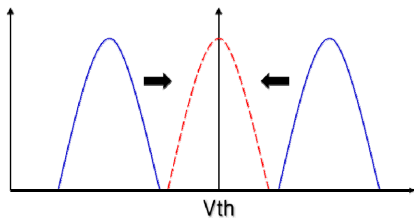


[Fig. 2] Stored Method of Cell

2.2 셀의 산포 변화

플래시 메모리는 게이트에 전자를 유지하는 방법을 통해 각 셀의 정보를 유지한다. 따라서 셀에서 시간이 지나도 지속해서 전자를 유지하는 것이 중요하다. 그러나 플래시 메모리의 읽기/쓰기 동작은 셀이 유지하고 있는 전자에 영향을 준다. 따라서 플래시 메모리 셀의 의도하지 않은 산포 변화가 발생한다. Fig. 3은 플래시 메모리 셀

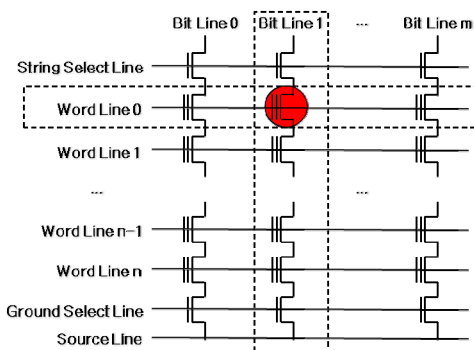
의 산포 이동을 보여주고 있다. 그림과 같이 셀의 정보는 산포의 특정 전압인 V_{th} 를 기준으로 구분된다. 그리고 셀에 전자가 유입될 경우 산포의 전압이 증가하여 우측으로 이동하고, 전자가 빠지는 경우 좌측으로 이동한다. 그러나 전자의 이동이 V_{th} 를 넘어서면 셀의 정보가 오염된다. 그리고 이러한 문제는 유지하는 비트의 정보가 많은 셀에서 쉽게 발생한다. 이러한 원인은 동일 용량의 셀에서 비트를 구분하기 위한 산포의 영역이 많을수록 정보를 구분하는 산포 영역의 폭이 좁기 때문이다. 예를 들어 SLC는 0과 1 비트를 구분할 수 있는 산포의 영역만을 구분한다. 따라서 V_{th} 를 중심으로 셀 전체 용량의 반을 나누어 구분한다. 반면 TLC는 동일 용량의 셀 용량을 8개의 산포 영역을 구분하기 위해 좁은 범위로 나누어야 한다. 따라서 SLC와 비교하여 상대적으로 적은 전자의 이동만으로 셀의 비트 정보가 오염될 수 있다[10, 11].



[Fig. 3] Movement of Elections

2.3 워드 라인에 의한 산포 변화

플래시 메모리의 각 셀은 워드 라인으로 연결되어 있다. 따라서 특정 셀의 쓰기 동작을 위해 V_g 에 높은 전압을 인가할 경우 동일 워드 라인에 연결된 셀에도 높은 전압을 인가하게 된다.

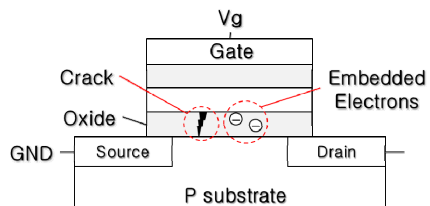


[Fig. 4] Connection of Cell

Fig. 4는 셀들이 직렬로 연결된 플래시 메모리 기반 저장장치의 구조를 보여주고 있다. 그림에서는 동그라미로 표시된 셀을 제어하기 위해 비트라인 1번과 워드 라인 0번에 전압을 가해야 한다. 그런데 같은 라인에 직렬로 연결된 셀은 타겟 셀과 동일 전압의 영향을 받기 때문에 산포의 변화가 발생할 수 있다. 또한, 쓰기 동작은 플래시 메모리에 높은 전압을 인가하여 전자의 이동을 활성화하기 때문에 반복된 쓰기 동작은 산포의 변화를 넘어 셀에 손상을 발생시킨다. 결과적으로 이러한 손상이 누적되면 셀에 고장이 발생한다[12-14].

2.4 셀의 손상

Fig. 5는 고장이 발생한 셀의 예를 보여주고 있다. 플래시 메모리의 쓰기/지우기 동작은 게이트 내부적으로 옥사이드를 넘어서 전자의 이동을 의미한다. 쓰기 동작은 전자를 게이트의 옥사이드 영역을 넘어서 메탈 영역으로 이동시키는 것이다. 그리고 지우기 동작은 메탈 영역의 전자를 옥사이드 영역을 넘어 하단의 기판의 그라운드 영역으로 방출하는 것을 의미한다. 그리고 일정 횟수 이상의 전자 이동은 옥사이드와 빈번한 충돌을 발생시킨다. 결과적으로 이러한 충돌은 옥사이드에 지속적으로 누적된 손상을 주어 균열이 발생하거나 전자가 옥사이드에 박히는 상황을 만든다. 이렇게 손상을 입은 플래시 메모리 셀은 V_g 에 높은 전압을 인가하여 모집한 전자의 유출을 막을 수 없으며 동작을 위해 필요한 전압의 세기나 산포의 전압 수준을 오염시킨다.



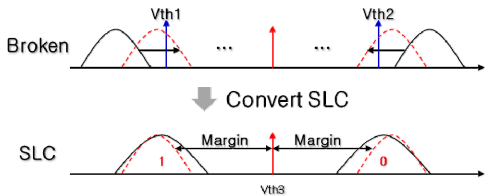
[Fig. 5] Broken in Cell

3. 단일 비트 전환 기법

3.1 핵심 아이디어

Fig. 6은 논문에서 제안하는 핵심 아이디어를 보여주고 있다. 그림의 예제에서는 고장이 발생한 셀은 다중 비트를 보유하고 있다. 그리고 빈번한 전자의 이동 때문에

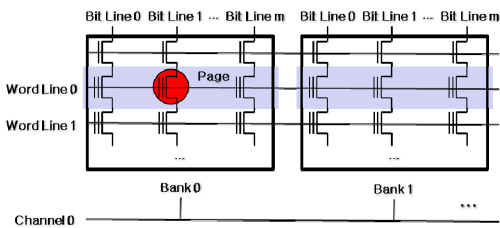
옥사이드의 마모가 진행되었다. 그 결과 비트 정보를 유지하기 위한 경계 V_{th1} 과 V_{th2} 를 산포가 넘어서기 시작했다. 이 경우 보유 정보의 붕괴가 발생한다. 그러나 SLC로 전환하면 동일 용량에서 정보를 유지할 수 있는 산포의 영역이 넓다. 따라서 플래시 메모리 셀에 마모가 발생하더라도 SLC로 전환하면 고장이 발생한 셀에 대해 초과사용 가능하다.



[Fig. 6] Key Idea

3.2 고장예측 기반 SLC 전환 기법

플래시 메모리의 각 셀은 비트라인에 직렬로 연결되어 있다. 그리고 연결된 셀을 별도로 제어하기 위해 워드 라인으로 연결되어 있다. 그러나 워드 라인은 인접한 비트 라인의 셀과 동시에 연결되어 있기 때문에 특정 셀을 제어하기 위해 전압을 인가할 때 동시에 전압을 인가하게 된다. 그리고 이러한 현상은 워드 라인에 연결된 셀에 영향을 주기 때문에 특정 셀에 불량 발생하면 연결된 다른 셀에서도 불량 가능성이 높아진다.



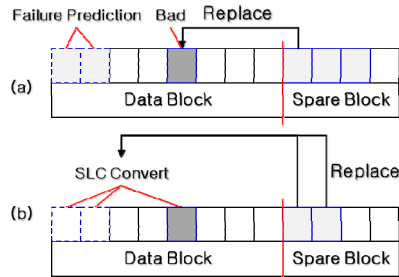
[Fig. 7] SLC Transition Policy

Fig. 7은 불량을 예측하여 SLC로 전환할 페이지를 선택하는 방법을 보여주고 있다. 플래시 메모리에서 데이터를 읽기 위한 동작은 동일 워드 라인의 셀들로 구성된 페이지 단위로 구성된다. 그리고 이 워드 라인은 동일 채널에 연결된 다른 बैं크의 페이지와도 연결되어 있다. 따라서 특정 페이지의 셀에 빈번한 쓰기, 지우기 동작은 동일 페이지의 셀 뿐만 아니라 이웃하는 बैं크의 페이지에도 영향을 준다. 즉, 특정 셀에서 불량이 발생하는 경우

셀에 불량을 일으킨 전기적 스트레스는 동일 채널 내의 다른 페이지에도 영향을 준다. 이러한 스트레스는 특정 페이지에 불량이 발생했을 때 동일 워드 라인 내의 연쇄적인 불량으로 이어진다. 본 논문에서는 특정 페이지에 불량이 발생 발생하면 동일 워드 라인 내에 잠재적으로 불량이 발생할 수 있는 페이지를 모아 SLC 변환하는 정책을 사용한다. 이 방법은 불량이 발생할 수 있는 페이지의 데이터를 미리 백업하여 데이터 손실을 최소화할 수 있는 장점이 있다.

3.3 예비 블록을 이용한 SLC 전환 기법

SLC 변환정책은 2비트 이상의 다중 비트 셀로 구성된 페이지로 구성된 블록을 1비트 셀로 구성된 페이지로 변환하는 것이다. 따라서 용량 감소를 위한 정책이 필요하다.



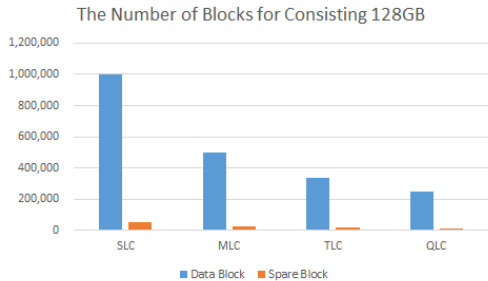
[Fig. 8] Replacement Policy

Fig. 8은 교체정책을 보여주고 있다. 플래시 메모리에서 불량이 발생하면 예비 블록과 1대 1로 교체된다. 그림의 (a)에서 불량이 발생한 블록과 불량이 예측되는 블록을 교체하기 위해 3개의 예비 블록이 소모되었다. 그러나 그림의 (b)에서는 불량 블록들을 SLC로 변환하여 더 사용할 수 있다. 따라서 교체를 위해 필요한 블록의 수가 2개로 줄어드는 효과가 있다.

4. 실험 및 평가

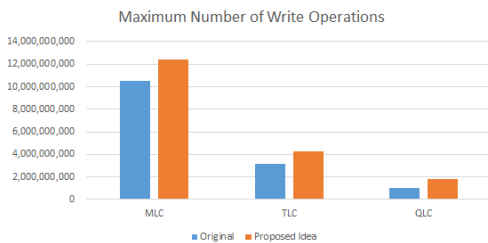
본 절에서는 SLC 변환 기법을 적용했을 때 얻을 수 있는 장점을 분석하기 위해 시뮬레이션을 통해 실험 평가 하였다. 실험은 용량은 128GB의 SSD를 가정하였고, 용량은 IDE 기법[15]을 기준으로 하였다. 각 플래시 메모리 셀은 기대 수명 마감까지 쓰기/지우기 동작을 SLC는 100K, MLC는 10K, TLC는 3K, QLC는 1K 할 수 있다고 가정하였다.

Fig. 9는 128GB를 구성하기 위한 블록의 수를 보여 주고 있다. 다중 비트 셀의 용량은 SLC와 비교하여 더 작은 블록으로 구성할 수 있다. IDE 기준으로 SLC는 1,000,000개의 데이터 블록이 필요하고 48,576개의 예비 블록을 사용할 수 있다. 반면 MLC, TLC, QLC는 각각 500,000개, 333,333개, 250,000개의 데이터 블록과 24,288개, 16,192개, 12,144개의 예비 블록이 필요하다.



[Fig. 9] The Number of Blocks

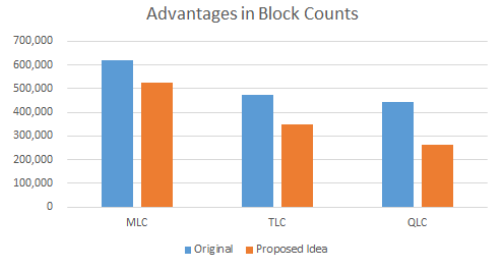
Fig. 10은 플래시 메모리 타입별로 수명마감이 발생하기 전까지 처리할 수 있는 최대 쓰기 횟수를 보여주고 있다. 그림의 결과와 같이 MLC, TLC, QLC의 기본적인 쓰기 횟수는 각각 10,485,760,000회, 3,145,734,000회, 1,048,576,000회이다. 반면 SLC 변환정책을 적용하면 12,428,800,000회, 4,279,174,000회, 1,777,216,000회이다. 이 횟수는 수명이 18.53 ~ 69.49% 증가한 것을 의미한다. 이러한 원인은 SLC가 다중 비트 셀과 비교하여 동일 용량 대비 유지할 수 있는 정보 데이터의 양은 적지만 쓰기 연산은 약 10~100배 더 많이 반복할 수 있는 내구성을 가지고 있기 때문이다.



[Fig. 10] Maximum Write Counts

Fig. 11은 MLC, TLC, QLC에서 SLC 변환정책과 동일할 수명 달성을 위해 필요한 블록 수를 비교한 결과이

다. 그림의 결과와 같이 MLC에서 524,288개의 블록으로 구성된 SLC 전환 기법과 동일 수명을 위해 필요한 블록은 621,440개이다. 이 결과는 일반적인 MLC 블록의 수에서 약 15.63% 줄어드는 장점을 보여준다. TLC와 QLC의 경우 각각 262,144블록, 444,304블록을 위해 349,526블록, 475,464블록이 필요하였고, 26.49%와 41% 감소하는 효과가 있었다.



[Fig. 11] Advantages in Block Counts

5. 결론

본 논문에서는 다중 비트 블록에서 불량이 발생했을 때 다중 비트 셀 블록과 연결된 잠정적 불량 발생 블록을 식별하고 이 블록들을 모아서 단일 레이어 셀 블록으로 변환하는 방법을 제안하였다. 그리고 실험을 통해 논문에서 제안하는 아이디어가 저장장치의 수명을 연장하는 효과가 있음을 증명하였다. 향후에는 데이터 접근량이 다른 콜드 데이터와 핫 데이터를 구분하여 서로 다른 타입의 플래시 메모리 블록을 적용하는 방법을 연구할 예정이다.

REFERENCES

- [1] H.S.Lee, "A method for optimizing lifetime prediction of a storage device using the frequency of occurrence of defects in NAND flash memory," *Journal of Internet of Things and Convergence*, Vol.7, No.4, pp.9-14, 2021.
- [2] H.S.Lee, "High Efficiency Life Prediction and Exception Processing Method of NAND Flash Memory-based Storage using Gradient Descent Method," *Journal of Convergence for Information Technology*, Vol.11, No.11, pp.44-50, 2021
- [3] H.S.Lee, "A Safety IO Throttling Method Inducting Differential End of Life to Improving the Reliability of

- Big Data Maintenance in the SSD based RAID," *Journal of Digital Convergence*, Vol.20, No.5, pp.593-598, 2022.
- [4] H.S.Lee, "Performance analysis and prediction through various over-provision on NAND flash memory based storage," *Journal of Digital Convergence*, Vol.20, No.3, pp.343-348, 2022.
- [5] Y.Takai, M.Fukuchi, R.Kinoshita, C.Matsui and K.Takeuchi, "Analysis on Heterogeneous SSD Configuration with Quadruple-Level Cell (QLC) NAND Flash Memory," *IEEE 11th International Memory Workshop*, pp.1-4, 2019
- [6] H. Chen, Y. Lv, C. Li, S. Gu and L. Shi, "An Empirical Study of Hybrid SSD with Optane and QLC Flash," *IEEE 38th International Conference on Computer Design*, pp.175-178, 2020
- [7] L.Yang, Q.Wang, Q.Li, X.Yu, J.He and Z.Huo, "Gradual Channel Estimation Method for TLC NAND Flash Memory," *IEEE Embedded Systems Letters*, Vol.14, No.1, pp.7-10, 2022
- [8] R.Ma, F.Wu, M.Zhang, Z.Lu, J.Wan and C.Xie, "RBER-Aware Lifetime Prediction Scheme for 3D-TLC NAND Flash Memory," *IEEE Access*, Vol.7, pp.44696-44708, 2019
- [9] R.He, H.Hu, C.Xiong and G.Han, "Artificial Neural Network Assisted Error Correction for MLC NAND Flash Memory," *micromachines*, Vol.12, No.8 pp.879, 2021.
- [10] L.Kong, Y.Liu, H.Liu and S.Zhao, "Protograph QC-LDPC and Rate-Adaptive Polar Codes Design for MLC NAND Flash Memories," *IEEE Access*, Vol.7, pp.37131-37140, 2019
- [11] G.Hemink and A.Goda, "5 - NAND Flash technology status and perspectives," *Semiconductor Memories and Systems*, pp.119-158, 2022
- [12] H.S.Lee, "A Memory Mapping Technique to Reduce Data Retrieval Cost in the Storage Consisting of Multi Memories," *Journal of Internet of Things and Convergence*, Vol.9, No.1, pp.19-24, 2023
- [13] H.S.Lee, "A Prediction-Based Data Read Ahead Policy using Decision Tree for improving the performance of NAND flash memory based storage devices," *Journal of Internet of Things and Convergence*, Vol.8, No.4, pp.9-15, 2022.
- [14] H.S.Lee, "A Study on the Performance Measurement and Analysis on the Virtual Memory based FTL Policy through the Changing Map Data Resource," *Journal of Internet of Things and Convergence*, Vol.9, No.1, pp.71-76, 202
- [15] W.J.Buchanan, "IDE," *The Handbook of Data Communications and Networks*, pp.525-547, 2004.

이 현 섭(Hyun-Seob Lee)

[종신회원]



- 2013년 2월 : 한양대학교 컴퓨터 공학과 (공학 박사)
- 2012년 3월 ~ 2021년 2월 : 삼성 전자 책임연구원
- 2021년 3월 ~ 현재 : 백석대학교 컴퓨터공학부 조교수

〈관심분야〉

인공지능, 저장시스템, 임베디드 시스템