

피드백 전계효과 트랜지스터의 가중치 기반 LSTM 모델을 활용한 전기적 특성 예측 기법 연구

손승원¹, 우솔아^{2*}

¹국립부경대학교 전자정보통신공학부 학생, ²국립부경대학교 전자정보통신공학부 교수

A Weighted LSTM-Based Prediction of Electrical Characteristics in Feedback Field-Effect Transistors

Seung-won Son¹, Sola Woo^{2*}

¹Student, Electronic engineering, Pukyong National University

²Professor, Electronic engineering, Pukyong National University

요약 본 논문은 Technology Computer-Aided Design (TCAD) 시뮬레이션을 통해 메모리 반도체 소자인 피드백 전계효과 트랜지스터의 전기적 특성 데이터를 생성하고, 소형 long short-term memory (LSTM) 모델을 활용하여 소자의 전기적 특성을 예측하는 모델을 개발하고 성능을 비교 분석하였다. 차세대 메모리 반도체 소자인 피드백 전계효과 트랜지스터는 일반적인 반도체 소자들과는 다르게 급격하게 전류가 증가하고 감소하는 특성으로 인해, 기존의 multi-layer perceptron(MLP) 기반 모델로는 예측 정확도가 저하되는 한계가 존재한다. 이를 해결하기 위해 본 연구에서는 다양한 데이터 전처리 및 학습 데이터 조합을 통해 성능을 최적화한 LSTM 모델에 피드백 전계효과 트랜지스터의 특성을 반영하였고, latch-up 및 latch-down 지점에서의 전류 및 전압 값을 고려한 가중치 부여 방식을 도입하여 적은 수의 파라미터를 가진 소형 LSTM 모델에서 $R^2 = 0.998$, $RMSE = 2 \times 10^{-8}$ 의 높은 정확도를 확인하였다. 이를 통해 학습된 모델의 파라미터를 추출하여 피드백 전계효과 트랜지스터의 compact model을 구축하고, Simulation Program with Integrated Circuit Emphasis (SPICE) 시뮬레이션을 수행할 수 있는 방안을 제시하였다. 또한, 본 연구에서 개발한 LSTM 기반 예측 모델은 피드백 전계효과 트랜지스터의 전기적 특성을 효과적으로 모델링하여 차세대 저전력 반도체 소자로서의 활용 가능성을 제시한다. 본 연구의 예측 모델을 활용하면, 피드백 전계효과 트랜지스터 기반의 저전력 메모리 및 연산 소자를 보다 정확하게 설계하고 최적화할 수 있으며, 이를 통해 IoT 기기의 성능 향상과 전력 소비 절감에 도움이 될 것으로 기대된다.

주제어 : 사물인터넷, LSTM, 메모리 소자, Feedback Field-Effect Transistor, 소자 특성 예측

Abstract This study develops a prediction model using a small long short-term memory(LSTM) network to analyze the electrical characteristics of feedback field-effect transistors (FBFETs) based on Technology Computer-Aided Design (TCAD) simulation data. As FBFETs exhibit hysteresis characteristics due to abrupt current changes at latch-up and latch-down transitions, it is difficult to achieve high prediction accuracy by using traditional methods such as multi-layer perceptron (MLP).

To address this problem, we applied a parameter-efficient LSTM model, achieving $R^2=0.998$ and $RMSE = 2 \times 10^{-8}$, by optimizing data preprocessing and incorporating a weighting strategy based on latch-up and latch-down currents and voltage values that reflect the electrical characteristics of FBFETs. The trained model parameters were extracted to develop a compact model, enabling Simulation Program with Integrated Circuit Emphasis (SPICE) simulations. This prediction model facilitates the design and optimization of FBFET-based memory and computing devices, contributing to improved performance and reduced power consumption in IoT applications.

Key Words : IoT; LSTM, Memory Device, Feedback Field-Effect Transistor, Device Characteristic Prediction

본 논문은 부경대학교 자율창의학술연구비(2023년)에 의하여 연구되었음.

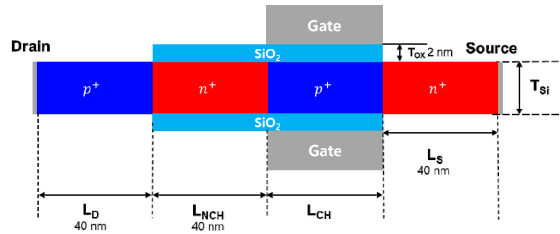
*교신저자 : 우솔아(sola.woo@pknu.ac.kr)

접수일 2025년 02월 26일 수정일 2025년 04월 20일 수정완료일 2025년 05월 21일

1. 서론

최근 반도체 기술의 급속한 발전과 함께, 피드백 Transistor, FBFET)는 차세대 메모리 소자로 주목받고 있다. FBFET는 양성 피드백 메커니즘을 기반으로, 기존 트랜지스터 대비 우수한 스위칭 특성과 비휘발성 메모리 특성을 갖추고 있어, 초저전력 및 고속 연산이 요구되는 응용 분야에서 활용 가능성이 높다 [1-5]. 이러한 특성으로 인해 FBFET는 메모리 소자뿐만 아니라, 연산 기능을 내장한 차세대 반도체 기술인 Process-In-Memory (PIM) 구조에서도 많은 연구가 진행되고 있다 [6-9]. 그러나 현재까지의 FBFET에 대한 연구는 주로 단일 소자 및 어레이 (array) 수준에서의 특성 평가에 집중되어 있으며, 회로 및 시스템 레벨에서의 분석은 상대적으로 부족한 실정이다. 특히, Technology Computer-Aided Design (TCAD) 시뮬레이션을 활용하면 소자의 물리 기반 정보를 포함한 정밀한 분석이 가능하지만, 다수의 소자에 대한 분석이 어렵고 연산 시간이 길어지는 한계가 존재한다. 반면, Simulation Program with Integrated Circuit Emphasis (SPICE) 시뮬레이션은 회로 수준에서의 빠른 분석이 가능하나, 이를 위해서는 정확한 compact model의 구축이 선행되어야 한다.

기존의 SPICE 모델링 방식은 모델 파라미터의 복잡성이 증가함에 따라 시뮬레이션 속도가 저하되는 문제를 여전히 가지고 있다. 이러한 한계를 극복하기 위해 본 연구에서는 딥러닝 기반의 FBFET 전기적 특성 예측 모델을 개발하고, 이를 바탕으로 compact model을 구축하여 SPICE 시뮬레이션에 효과적으로 활용할 수 있는 최적화된 접근법을 제안한다. 특히, FBFET는 latch-up 및 latch-down 전압 지점에서 급격한 전류 변화가 발생하는 메모리 특성을 가지므로, 이를 정밀하게 예측하는 것이 모델링의 핵심이다. 본 연구에서는 이러한 특성을 반영하기 위해 가중치 기반 손실 함수를 새롭게 설계하고, 소형 Long Short-Term Memory (LSTM) 모델에 적용함으로써 고정밀 예측이 가능한 모델을 구현하였다. 이는 향후 SPICE 기반 회로 설계를 위한 FBFET의 물리 정보 내재화를 가능하게 하며, 저전력 시스템에 적합한 디바이스 모델링으로 확장될 수 있다. 특히, FBFET의 우수한 스위칭 및 저전력 특성은 IoT 기기의 에너지 효율성과 성능 향상에 기여할 수 있으며, 본 연구의 딥러닝 기반 예측 모델을 활용하여 저전력 컴퓨팅 소자의 최적화 및 IoT 환경에서의 실용성을 더욱 높일 수 있다 [10-12].



[Fig. 1] Schematic structure of the feedback field-effect transistor (FBFET) consisting of a $p^+-n-p-n^+$ silicon body with gate-controlled channel regions

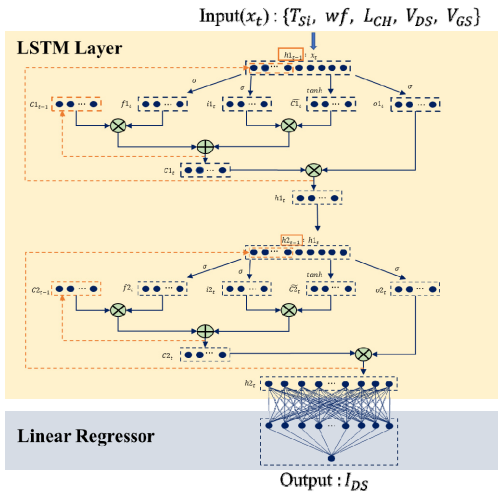
2. 본론

2.1 소자 구조 및 데이터 생성

본 시뮬레이션 연구에서 활용한 FBFET의 구조는 [Fig.1]과 같다. 소자의 채널 물질과 게이트 절연막은 CMOS 공정에서 주로 활용하는 실리콘과 SiO_2 를 활용하였고, 소자의 크기는 게이트 전극이 덮이지 않은 채널 길이는 40 nm, 게이트 절연막의 두께는 2 nm로 설정하였다. $p^+-n-p-n^+$ 구조로서 p^+ 영역은 드레인, 마지막 n^+ 영역은 소스 역할을 한다. 드레인 및 소스 영역은 $1 \times 10^{20} \text{ cm}^{-3}$. 그리고 게이트가 덮인 채널 영역은 $5 \times 10^{18} \text{ cm}^{-3}$, 게이트가 덮이지 않은 채널 영역은 $8 \times 10^{18} \text{ cm}^{-3}$ 으로 도핑하였다. 소자의 구조 파라미터 변화에 따른 전압-전류 특성을 얻기 위해, 게이트 전극이 덮인 채널 길이는 20 nm부터 50 nm, 채널 두께는 10 nm부터 20 nm, 게이트 전극의 일함수는 4.7 eV부터 5.1 eV의 범위를 설정하여 무작위로 TCAD 데이터를 생성하였다. 본 연구는 2차원 소자 시뮬레이터 (Synopsys Sentaurus, Version 2023.09)를 활용하였고 정확한 시뮬레이션 계산을 위해 Auger recombination, SRH recombination, High Field Saturation과 같은 시뮬레이션 모델을 활용하여 TCAD 데이터를 얻었다 [13].

2.2 LSTM 모델 개발

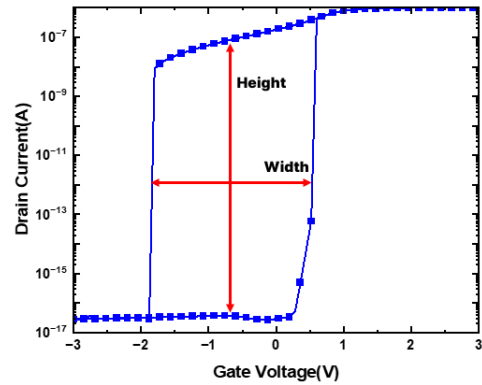
기존의 딥러닝 기반 FBFET의 전기적 특성 예측 연구는 random forest algorithm, multi layer perceptron (MLP) 등의 모델을 활용하여 소자의 메모리 특성을 예측하였다 [14]. 이러한 기존 연구는 게이트 전압 상승 구간과 하강 구간의 특성을 각각의 다른 2개의 모델을 예측하는 방식을 사용하였다. 그러나 이러한 방식은 FBFET의 히스테리시스 특성으로 인한 메모리 특성을 하나의



[Fig. 2] Architecture of the proposed LSTM model for FBFET electrical characteristic prediction.

모델로 통합하기 어렵고, SPICE 모델에 적용하여 회로 수준의 특성을 검증하는데 제약이 존재한다. 따라서 SPICE 모델을 통한 회로 설계를 위해서는 소자의 전류-전압 특성을 단일 모델로 예측할 수 있는 구조가 요구된다.

본 연구에서 제안하는 LSTM 모델은 출력이 recurrent gate에 의해 이전 출력과 상태에 따라 달라지는 순환 구조의 특성을 활용하여, 단일 모델 내에서 FBFET의 전기적 특성을 예측하는 방법을 제안한다. LSTM은 입력 게이트, 망각 게이트, 셀 상태, 출력 게이트로 구성된 구조를 가지며, 시계열 입력에 따라 내부 상태가 변화하므로 소자의 히스테리시스 특성을 효과적으로 모델링 할 수 있다 [15, 16]. 그러나 FBFET는 히스테리시스 특성뿐만 아니라, 전류의 급격한 상승 (latch-up) 및 하강 (latch-down)과 같은 비선형적인 거동을 나타내며, 이로 인해 단순한 LSTM 모델만으로는 해당 특성을 정확히 예측하기 어렵고, 특히 파라미터 수가 제한된 소형 LSTM 모델에서는 예측 정확도가 저하되는 문제가 있다. 따라서 본 연구에서는 전류가 급격히 상승하는 latch-up 전압과 전류가 급격히 감소하는 latch-down 전압간의 전압 차이를 메모리 윈도우 (Memory Window, MW)로 정의하고, 이를 LSTM 모델이 학습할 수 있도록 반영하였다. 또한, FBFET의 메모리 특성을 보다 정밀하게 반영하기 위해 새로운 손실 함수인 Memory Window Loss (MWL) 를 식 (1)과 같이 제안하였다.



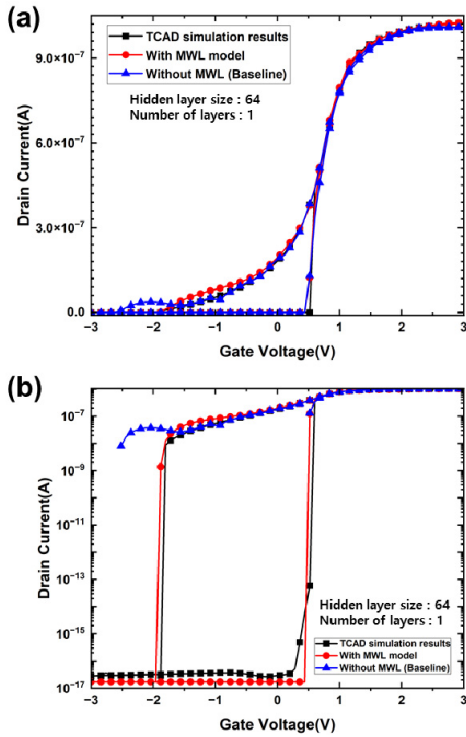
[Fig. 3] Simulated I_{DS} - V_{GS} transfer characteristics of the FBFET, showing abrupt current switching behavior used for model training.

$$\begin{aligned}
 \text{Memory Window Loss} & \quad \text{식 (1)} \\
 & = \alpha(W - \bar{W}) + \beta(H - \bar{H}) + \sqrt{\sum_{i=1}^n \frac{(y_i - \bar{y}_i)^2}{n}} \\
 & \quad + \gamma(\text{off-state Loss})
 \end{aligned}$$

MWL 손실 함수에서 latch-up 전압과 latch-down 전압의 차이를 FBFET의 메모리 윈도우 너비 (Width, W)로 정의하였고, 이 두 전압의 중간값에서의 on-state 전류값과 off-state 전류값의 차이를 메모리 윈도우의 높이 (Height, H)로 정의하였다. 이후, 딥러닝이 예측한 I_{DS} - V_{GS} curve와 TCAD 시뮬레이션으로부터 얻은 I_{DS} - V_{GS} curve에서 각각의 메모리 윈도우 너비의 차이를 학습하는 가중치 α , 메모리 윈도우 높이의 차이에 대해 가중치 β 를 모델의 손실함수에 반영하였다. 또한, MWL은 일반적인 root mean squared error (RMSE)와 함께 사용하여, LSTM 모델이 FBFET의 메모리 특성을 효과적으로 학습하도록 하였다. 또한 FBFET의 누설전류값이 10^{-17} A 수준으로 매우 작아서, 모델이 값을 '0'으로 예측하는 문제를 해결하기 위하여 소자가 off-state에 있을 때의 값을 추가로 학습하는 off-state loss를 추가하였다.

2.3 결과 및 고찰

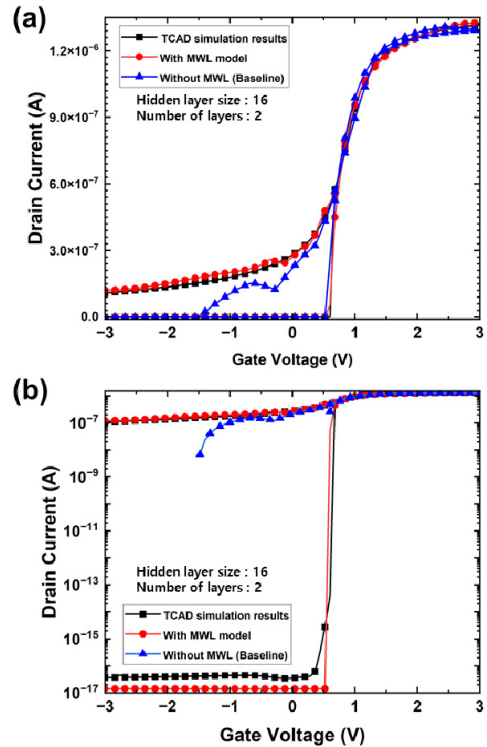
본 연구에서 제안한 소형 LSTM 모델을 활용하여 모델의 입력 변수로 게이트가 덮인 영역의 채널길이, 채널 두께, 게이트 전극 일함수를 선택하였고, 모델을 통해 게이트 전압이 -3.0 V에서 3.0 V까지 변화하는 동안 FBFET의 드레인 전류를 예측하였다. 모델의 성능을 검



[Fig. 4] Comparison of prediction results of $I_{DS}-V_{GS}$ transfer characteristics of FBFET using LSTM model with hidden layer size of 64 and number of layers of 1. (a) linear scale, (b) log scale

증하기 위해, MWL를 적용하지 않은 baseline 모델과 MWL를 적용한 소형 LSTM 모델의 특성 예측 결과를 비교하였다. [Fig.4]는 은닉층의 크기 (hidden dimension)가 64, number of layer가 1인 LSTM을 MWL의 가중치로 학습한 모델에서 FBFET의 메모리 특성을 예측한 결과이다. Latch-up 전압의 경우, TCAD 시뮬레이션 데이터에서는 0.520V, baseline 모델과 MWL을 통해 학습한 모델의 예측 값은 모두 0.441 V로 15.2 %의 동일한 오차율을 보였다. Latch-down 전압의 경우, TCAD 시뮬레이션 데이터에서는 -1.941V, MWL을 통해 학습한 모델의 예측값은 -1.947 V로 0.31 %의 오차를 보인 반면, baseline 모델은 -2.575 V로 예측하여 32.7%의 오차율을 보였다.

[Fig.5]는 은닉층의 크기가 16, number of layer가 2인 LSTM을 MWL의 가중치로 학습한 모델에서 FBFET의 메모리 특성을 예측한 결과이다. Latch-up 전압의 경우, TCAD 시뮬레이션 데이터에서는 0.6V, MWL을 통해 학습한 모델의 예측값은 0.522V로 13%의 오차를



[Fig. 5] Comparison of prediction results of $I_{DS}-V_{GS}$ transfer characteristics of FBFET using LSTM model with hidden layer size of 16 and number of layers of 2. (a) linear scale, (b) log scale

보이고, baseline 모델을 통해 학습한 모델의 예측값은 0.520V로 13.3%의 오차율을 보였다. Latch-down 전압의 경우, TCAD 시뮬레이션 데이터와 MWL을 통해 학습한 모델의 예측값은 동작 범위에서 관찰되지 않지만, baseline 모델은 -1.548V로 예측하여 FBFET의 메모리 특성의 예측이 잘 이루어지지 않는 것이 관찰되었다. 이를 통해 본 연구에서 제안하는 MWL을 통해 소형 LSTM 모델을 학습할 경우, 기존 모델 대비 우수한 예측 특성을 보임을 확인하였다.

3. 결론

본 연구는 FBFET의 메모리 특성을 LSTM 모델을 통해 학습하고 예측하였다. FBFET의 메모리 특성을 효과적으로 학습시키기 위해, 제안하는 MWL를 통해 더 적은 수의 파라미터를 가지는 LSTM 모델에서 $R^2=0.998$, $RMSE=2 \times 10^{-8}$ 의 높은 예측 정확도 보여주었다. 이를 통

해 차세대 메모리 반도체 소자로서 FBFET의 정밀한 모델링 및 예측 가능성을 제시하였으며, 본 연구에서 개발한 모델은 SPICE 시뮬레이션 및 IoT 환경을 포함한 다양한 회로·시스템 설계 최적화에 활용될 수 있을 것으로 기대된다. 또한, 제한한 예측 모델은 메모리 윈도우의 특성을 내재화함으로써 FBFET의 동작을 정밀하게 반영할 수 있으며, 향후 compact 모델로 전환하여 회로 단위 SPICE 시뮬레이션 및 시스템 설계에 실질적으로 적용 가능한 기반 기술로 발전할 수 있을 것으로 기대된다.

REFERENCES

- [1] Kim, Minsuk, et al. "Steep switching characteristics of single-gated feedback field-effect transistors." *Nanotechnology* 28.5 (2016): 055205.
- [2] Cho, Jinsun, et al. "Static random access memory characteristics of single-gated feedback field-effect transistors." *IEEE Transactions on Electron Devices* 66.1 (2018): 413-419.
- [3] Lee, Changhoon, Juho Sung, and Changhwan Shin. "Understanding of feedback field-effect transistor and its applications." *Applied Sciences* 10.9 (2020): 3070.
- [4] Kang, Hyungu, et al. "Nonvolatile and volatile memory characteristics of a silicon nanowire feedback field-effect transistor with a nitride charge-storage layer." *IEEE Transactions on Electron Devices* 66.8 (2019): 3342-3348.
- [5] Lee, Changhoon, Eunah Ko, and Changhwan Shin. "Steep slope silicon-on-insulator feedback field-effect transistor: Design and performance analysis." *IEEE Transactions on Electron Devices* 66.1 (2018): 286-291.
- [6] Woo, Sola, et al. "Transposable 3T-SRAM synaptic array using independent double-gate feedback field-effect transistors." *IEEE Transactions on Electron Devices* 66.11 (2019): 4753-4758.
- [7] Han, Jongseong, et al. "Reconfigurable Logic-In-Memory Cell Comprising Triple-Gated Feedback Field-Effect Transistors." *Advanced Electronic Materials* 9.12 (2023): 2300526.
- [8] Yang, Yejin, et al. "NAND and NOR logic-in-memory comprising silicon nanowire feedback field-effect transistors." *Scientific reports* 12.1 (2022): 3643.
- [9] Son, Jaemin, et al. "Stateful Logic Operation of Gated Silicon Diodes for In-Memory Computing." *Advanced Electronic Materials* 10.7 (2024): 2300815.
- [10] Cho, Ju-Yong. "Research on Semiconductor Chip Classification and Defect Detection Using AI Deep Learning with RGBA Color Space." *Journal of Internet of Things and Convergence* 10.6 (2024): 15-21.
- [11] Ingoo Kang, et al. "Metallic FDM Process to Fabricate a Metallic Structure for a Small IoT Device", *Journal of Internet of Things and Convergence* 6.4 (2020) : 21-26
- [12] Numonov, Ilyosbek Rakhimjon-Ugli, et al. "Development of an AI-Based Energy Management System for Factory Power Saving." *Journal of Internet of Things and Convergence* 10.6 (2024): 49-55.
- [13] Synopsys, "Sentaurus Device User Guide, Version: N-2017.09," Mountain View, CA, USA, 2017.
- [14] S. Woo, J. Jeon, and S. Kim, "Prediction of Device Characteristics of Feedback Field-Effect Transistors Using TCAD-Augmented Machine Learning," *Micromachines*, vol. 14, no. 3, p. 504, Feb. 2023, doi: 10.3390/mi14030504.
- [15] A. S. Lin, P.-N. Liu, S. Pratik, Z.-K. Yang, T. Rawat, and T.-Y. Tseng, "RRAM Compact Modeling Using Physics and Machine Learning Hybridization," *IEEE Trans. Electron Devices*, vol. 69, no. 4, pp. 1835-1841, Apr. 2022, doi: 10.1109/TED.2022.3152978.
- [16] Wang, Q., Liu, Q., Xia, R., Li, G., Gao, J., Zhou, H., & Zhao, B. Defect depth determination in laser infrared thermography based on LSTM-RNN. *IEEE Access*, 8, 153385-153393. 2020

손 승 원(Seung-won Son)

[준회원]



■ 2020년 3월 ~ 현재 : 국립 부경대학교 전자공학과 학사과정

<관심분야>

딥러닝, 인공지능, 메모리 반도체 소자

우 솔 아(Sola Woo)

[정회원]



■ 2020년 2월 : 고려대학교 미세소자공학과 (공학박사)
 ■ 2020년 4월 ~ 2022년 8월 : 삼성전자 메모리사업부 Flash 설계팀 Staff engineer
 ■ 2022년 10월 ~ 2023년 3월 : 조지아 공과대학교 Postdoctoral Fellow

■ 2023년 4월 ~ 현재 : 국립부경대학교 전자정보통신공학부 교수

<관심분야>

메모리 반도체 소자, 지능형 반도체, 반도체 소자 모델링, 사물인터넷(IoT), 인공지능(AI)