



Analysis of a Step-Impedance Based Microstrip Discontinuity Using FDTD Method

Dong-Hak Lee, Doo-Yeong Yang*

Department of Telecommunication Engineering, Jeju National University

ABSTRACT

An analysis of discontinuity of microstrip transmission line, which is used to the microwave integrated circuit implementation, is very important work to be applied the complicated circuit design based on the multiport network and transmission line theory. In this paper, we treat the FDTD technique that encompasses the electromagnetic modeling, simulation, and analysis of the electromagnetic responses of the complex systems to various electromagnetic stimuli. It provides a understanding of the circuit response that allows for the better design or modification of the low pass circuit. And also, the simulation conditions to apply the FDTD method are proposed for the microstrip circuit design with multistep discontinuities. The conditions are to definition of the microstrip structure, source feeding waveform, CPML boundary condition and the numerical procedure of electromagnetic wave components. Therefore, the low pass circuits having the step-impedance structure composed of microstrip transmission line are analyzed by the FDTD method and the numerical results are compared with the measurement results in order to determine the accuracy. From the coherent results between the numerics and the measurements, the proposed simulation conditions of FDTD can be usefully used to design and realization of microstrip application circuits with the multistep structure.

© 2016 KKITS All rights reserved

KEYWORDS : FDTD method, Low-pass circuits, Microstrip discontinuities, Microstrip transmission line, Simulation conditions

ARTICLE INFO: Received 11 April 2016, Revised 13 June 2016, Accepted 13 June 2016.

*Corresponding author is with the Department of Telecommunication Engineering, Jeju National University, 102 Jejudaehakno, Jeju-si, Jeju Special Self-Governing

Province, 690-756, KOREA.

E-mail address: yeongyd@jejunu.ac.kr

1. 서론

1860년대에 맥스웰에 의해 전자기파 현상이 이론적으로 정립되면서 다양한 형태로 발생하는 전자기파 현상들을 입증할 수 있게 되었다. 하지만, 맥스웰 방정식을 이용한 이론적인 해석은 단순 구조체에서 해를 구하는 경우에는 쉽게 적용이 가능하지만, 다양하고 복잡한 구조에서는 적용하기 힘들다는 단점을 가지고 있다. 따라서 이러한 단점을 극복하기 위해 컴퓨터를 이용하여 전자기파 특성을 분석하는 수치해석적인 방법들이 등장하기 시작하였다. 다양한 수치해석 방법들 중에서 시간영역 해석방법으로 대표적인 시간영역 유한차분법(FDTD: finite difference time domain)은 1966년 K. S. Yee에 의해 처음 도입되었으며, 이 방법은 한번의 시뮬레이션으로 손쉽게 시간응답과 광범위한 주파수 응답 특성을 얻을 수 있다는 장점 때문에 많은 응용분야에서 사용되고 있다[1][2].

마이크로파 집적회로(MIC: microstrip integrated circuits) 구성에 많이 응용되는 마이크로스트립 전송선로는 전송선 이론과 네트워크 이론을 기반으로 좀 더 복잡한 구조에 적용하게 되면서 선로의 불연속성에 대한 분석이 매우 중요하게 되었다. 따라서 복잡한 불연속성을 가지는 구조에 FDTD 기법을 적용하여 해석할 경우 어느 정도의 정확성을 유지하고 있는지 입증할 필요가 있다. 그러므로 본 논문에서는 계단임피던스 구조를 갖는 불연속 마이크로스트립 전송선로 구조를 해석하기 위한 몇 가지 필요조건들을 정의하고 컴퓨터 시뮬레이션을 통하여 얻어진 FDTD의 수치적 결과를 토대로 마이크로스트립 회로를 설계하고 제작한다. 그리고 현재 상용 툴로 활용되고 있는 CST(computer simulation technology)의 시뮬레이션 결과와 벡터 네트워크 분석기(VNA: vector network analyzer)를 사용하여 측정된 결과들을 서로 비교하여 저역통

과 주파수 특성을 나타내는 계단 임피던스 회로구조에서 마이크로스트립 전송선로의 불연속 특성을 분석하고자 한다.

2. FDTD기법에 의한 전자계 해석

FDTD 시뮬레이션에서 계산영역의 전자기 필드를 계산하기 위한 유한차분 근사식은 직각좌표계에서 맥스웰 방정식의 컬(curl) 이론을 기반으로 한다[3]. FDTD 알고리즘은 1966년 K. S. Yee에 의해 처음 도입되었으며, Yee의 표기법으로부터 공간격자의 임의의 점에서 공간과 시간에 대한 식은 각각 x, y, z 방향에 대한 공간미분과 t에 대한 시간미분의 유한차분 근사식이다. 따라서 평판구조를 갖는 마이크로스트립 전송선로의 임의의 한 점에서 공간과 시간에 대한 전계 성분과 자계 성분 식은 다음과 같다[1].

$$\begin{aligned}
 H_x^{n+1/2}(i, j+1/2, k+1/2) &= H_x^{n-1/2}(i, j+1/2, k+1/2) - \frac{\Delta t}{\mu} \\
 &\cdot \left[\frac{E_y^n(i, j+1/2, k+1) - E_y^n(i, j+1/2, k)}{\Delta z} \right. \\
 &\quad \left. - \frac{E_z^n(i, j, k+1/2) - E_z^n(i, j+1, k+1/2)}{\Delta y} \right] \quad (1a)
 \end{aligned}$$

$$\begin{aligned}
 H_y^{n+1/2}(i+1/2, j, k+1/2) &= H_y^{n-1/2}(i+1/2, j, k+1/2) - \frac{\Delta t}{\mu} \\
 &\cdot \left[\frac{E_z^n(i+1, j, k+1/2) - E_z^n(i, j, k+1/2)}{\Delta x} \right. \\
 &\quad \left. - \frac{E_x^n(i+1/2, j, k) - E_x^n(i+1/2, j, k+1)}{\Delta z} \right] \quad (1b)
 \end{aligned}$$

$$H_z^{n+1/2}(i+1/2, j+1/2, k)$$

$$= H_z^{n-1/2}(i+1/2, j+1/2, k) - \frac{\Delta t}{\mu} \cdot \left[\frac{E_x^n(i+1/2, j+1, k) - E_x^n(i+1/2, j, k)}{\Delta y} \right. \\ \left. \cdot \frac{E_y^n(i, j+1/2, k) - E_y^n(i+1, j+1/2, k)}{\Delta x} \right] \quad (1c)$$

$$E_x^{n+1}(i+1/2, j, k) \\ = E_x^n(i+1/2, j, k) - \frac{\Delta t}{\epsilon} \cdot \left[\frac{H_z^{n+1/2}(i+\frac{1}{2}, j+\frac{1}{2}, k) - H_z^{n+1/2}(i+\frac{1}{2}, j-\frac{1}{2}, k)}{\Delta y} \right. \\ \left. \cdot \left[\frac{H_y^{n+1/2}(i+\frac{1}{2}, j, k-\frac{1}{2}) - H_y^{n+1/2}(i+\frac{1}{2}, j, k+\frac{1}{2})}{\Delta z} \right] \right] \quad (2a)$$

$$E_y^{n+1}(i, j+1/2, k) \\ = E_y^n(i, j+1/2, k) - \frac{\Delta t}{\epsilon} \cdot \left[\frac{H_x^{n+1/2}(i, j+\frac{1}{2}, k+\frac{1}{2}) - H_x^{n+1/2}(i, j+\frac{1}{2}, k-\frac{1}{2})}{\Delta z} \right. \\ \left. \cdot \left[\frac{H_z^{n+1/2}(i-\frac{1}{2}, j+\frac{1}{2}, k) - H_z^{n+1/2}(i+\frac{1}{2}, j+\frac{1}{2}, k)}{\Delta x} \right] \right] \quad (2b)$$

$$E_z^{n+1}(i, j, k+1/2) \\ = E_z^n(i, j, k+1/2) - \frac{\Delta t}{\epsilon} \cdot \left[\frac{H_y^{n+1/2}(i+\frac{1}{2}, j, k+\frac{1}{2}) - H_y^{n+1/2}(i-\frac{1}{2}, j, k+\frac{1}{2})}{\Delta x} \right. \\ \left. \cdot \left[\frac{H_x^{n+1/2}(i, j-\frac{1}{2}, k+\frac{1}{2}) - H_x^{n+1/2}(i, j+\frac{1}{2}, k+\frac{1}{2})}{\Delta y} \right] \right] \quad (2c)$$

여기서 $\Delta x, \Delta y, \Delta z$ 는 각각 x, y, z 방향에 대한 공간증분을 나타내고, Δt 는 시간증분으로 $n(i, j, k) = (i\Delta x, j\Delta y, k\Delta z, n\Delta t)$ 을 의미한다.

식 1과 식 2는 선형적이고 등방성이며 비분산형 인 매질에서의 조건 방정식이다. 매질의 파라미터 μ, ϵ, σ 는 각각 매질의 유전율, 투자율, 도전율이 며, 시간에 독립적인 파라미터들이다. 이 식들은 수치적 계산을 위해서 FDTD 알고리즘에 의해 유 한차분 근사식이 된다.

이론적으로 전계와 자계는 동시에 존재하지만 수치적 계산을 위해 전계와 자계는 $n + \Delta t/2$ 의 시간 간격을 두어 계산하게 되며, $n + \Delta t$ 의 시간 간격마다 공간의 전자기 필드가 계산된다.

FDTD 시뮬레이션의 안정성을 보장하기 위해서 시간증분 Δt 는 수치적 안정조건에 의해 다음과 같이 결정된다[2].

$$c_0 \Delta t \leq \left(\frac{1}{\Delta x^2} + \frac{1}{\Delta y^2} + \frac{1}{\Delta z^2} \right)^{-1/2} \quad (3)$$

여기서 c_0 는 진공에서의 빛의 속도이다.

3. 계단 임피던스의 마이크로스트립 불연속 구조 설계

앞 절에서 다룬 FDTD 이론을 이용하여 RF 및 마이크로파 응용 회로에 많이 사용되는 평판 마이크로스트립 선로의 불연속 구조를 해석하고 특성을 확인하기 위해, 주파수 선택성을 갖는 불연속 계단 임피던스 구조의 저역통과 회로를 설계하고 특성을 분석하고자 한다. 본 논문에서 분석하는 저역통과 주파수 선택성 회로는 통과대역에서 평탄 이득을 갖는 1단($g_1=2.0, g_2=1.0$)과 3단($g_1=1.0, g_2=2.0, g_3=1.0, g_4=1.0$) 버터워스 프로토타입 (Butterworth prototype) 회로이다[4]. 이 프로토타입 회로소자 값을 이용하여 저역통과 회로 특성을 갖는 계단임피던스 값을 구하고, 이 값에 적합한 마이크로스트립 전송선로의 폭과 길이를 계산한다.

저역통과 회로의 차단 주파수는 1GHz이며, 2GHz에서 18dB인 감쇄손실 값을 갖도록 구성한다.

<표 1>은 최대 평탄 특성을 갖는 특성임피던스 Z_0 로 정규화된 버터워스 저역통과 프로토타입의 소자 값으로부터 각각의 소자 값에 해당되는 전기적인 길이와 폭, 그리고 임피던스를 변환하여 나타낸 것이다. 여기서 Z_k 는 회로를 구성하는 각 단의 임피던스, βl_k 은 각 단의 전기적 길이, W_k 는 선로의 폭을 나타내며, l_k 는 선로의 길이이다. 마이크로 스트립 회로 설계에 있어서 이 임피던스 값을 갖는 전기적 길이는 구현 가능한 범위에 놓인 높은 임피던스 Z_h 와 낮은 임피던스 Z_L 로 선택한 후, 프로토타입 소자 값과 함께 적용하여 계산하면 된다[5]. 본 논문에서는 일정한 cell 크기의 격자구조(mesh)를 구성하기 위해 $Z_h = 125.11\Omega$, $Z_L = 14.65\Omega$ 으로 설정하였으며, 회로를 구성하는 각 선로의 임피던스와 전기적 길이에 해당되는 폭과 길이는 마이크로스트립 선로에 대한 수많은 분석에 의해 이론적으로 계산하였다[6].

표 1. 저역통과 회로의 설계 파라미터
Table 1. Design parameters of low-pass circuits

계단형 임피던스 1단 저역통과 회로				
구간(k)	$Z_k(\Omega)$	$\beta l_k(^{\circ})$	$W_k(mm)$	$l_k(mm)$
1	14.65	34.4	18.8	16.88
계단형 임피던스 3단 저역통과 회로				
구간(k)	$Z_k(\Omega)$	$\beta l_k(^{\circ})$	$W_k(mm)$	$l_k(mm)$
1	14.65	16.79	18.8	8.44
2	125.11	45.8	0.47	23.21
3	14.65	16.79	18.8	8.44

4. FDTD 시뮬레이션 조건

본 논문에서 비교에 사용된 FDTD 결과는 Matlab 코드로 작성한 FDTD 프로그램으로, FDTD의 이론적인 내용을 바탕으로 구현하였다. 앞에서

설계된 회로를 여기에 적용하여 정확한 수치적 결과를 얻기 위해서는 다음과 같이 몇 가지의 처리 조건을 고려해야 한다.

4.1 구조 정의

1) 계단형 임피던스 1단 저역통과 회로

구조를 정의하고 셀을 구성하는데 사용된 공간 증분은 $\Delta x = 0.47mm, \Delta y = 0.422mm, \Delta z = 0.508mm$ 으로 선로의 폭과 길이를 일정한 크기로 나누기위해 결정된 값이며, 전체 회로를 구성하는 격자구조의 크기는 $80\Delta x \times 140\Delta y \times 3\Delta z$ 이다. 회로에서 1번 패치(patch)의 크기는 $40\Delta x \times 40\Delta y$ 이며, 소스면으로부터 중간패치의 모서리까지의 길이는 $50\Delta y$, 소스면으로부터 기준면(reference plane)까지의 길이는 $40\Delta y$ 이다. 또한 포트 1과 포트 2의 폭은 $8\Delta x$ 로서 모델링하였으며 <그림 1>에 나타내었다.

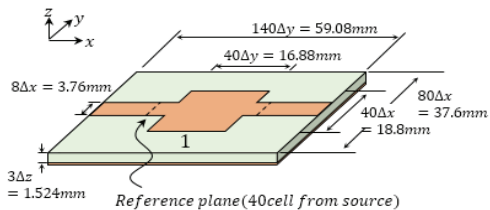


그림 1. 계단형 임피던스 1단 저역통과 회로
Figure 1. The one-stepped impedance low-pass circuit

2) 계단형 임피던스 3단 저역통과 회로

구조를 정의하고 셀을 구성하는데 사용된 공간 증분은 $\Delta x = 0.235mm, \Delta y = 0.422mm, \Delta z = 0.508mm$ 이며, 전체 회로를 구성하는 Mesh의 크기는 $160\Delta x \times 195\Delta y \times 3\Delta z$ 이다. 회로에서 1번과 3번 패치의 크기는 $80\Delta x \times 20\Delta y$ 이며, 소스면으로부터 중간패치의 모서리까지의 길이는 50

Δy , 소스면으로부터 기준면(reference plane)까지의 길이는 $40\Delta y$ 이다. 포트 1과 포트 2의 폭은 $16\Delta x$ 로서 모델링하였으며 <그림 2>에 나타내었다.

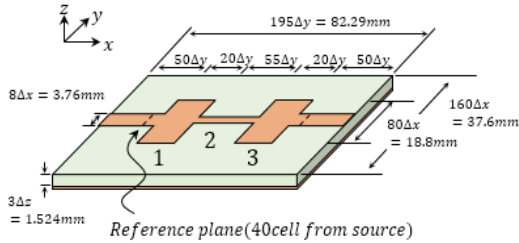


그림 2. 계단형 임피던스 3단 저역통과 회로
Figure 2. The three-stepped impedance low-pass circuit

4.2 소스 인가 파형

FDTD의 장점은 한 번의 시뮬레이션으로 시간영역과 광범위한 주파수 대역의 특성을 분석할 수 있다는 점이다. 그러기 위해서 소스파형은 관심 있는 주파수 대역의 응답을 모두 포함할 수 있도록 선택하여야 한다. 본 논문에서는 광범위한 주파수 대역의 응답을 얻기 위해 소스파형으로 가우시안 함수를 선택하였다. 가우시안 함수의 주파수 스펙트럼은 가우시안 분포의 형태를 띠며 유효하고 정확한 결과를 획득할 수 있는 주파수 범위를 결정하게 된다. 주파수가 증가할수록 파장은 감소하기 때문에, 만약 셀 사이즈가 일부 주파수의 파장보다 크다면, 그 주파수에서의 신호는 공간에서 정확하게 샘플링 할 수 없다. 따라서 최대 주파수의 파장은 최대 셀 사이즈의 크기보다 길어야 하며 정확한 결과를 얻기 위해서 최대 주파수의 파장을 최대 셀 사이즈의 수십 배가 되도록 해야 한다.

가우시안 함수의 소스파형을 FDTD 시뮬레이션에 적용함에 있어서 전자계 성분들의 초기조건이 0이기 때문에 인가되는 소스 또한 0의 값을 가져야

한다. 따라서 $t = t_0$ 에서 최대 값을 갖는 가우시안 함수는 시간천이 조건을 통해 다음과 같이 정의한다[7].

$$V_s(t) = e^{-\frac{(t-t_0)^2}{\tau^2}} \quad (4)$$

여기서 t_0 는 시간 천이의 양을 나타내는 파라미터로 가우시안 함수가 $t = 0$ 인 시점에 e^{-20} 의 크기를 갖도록 함으로써 $t_0 = \sqrt{20}\tau \approx 4.5\tau$ 가 된다. τ 는 시간영역과 주파수영역에서 가우시안 함수의 폭을 결정하는 파라미터이다. 가우시안 함수의 푸리에 변환은 마찬가지로 가우시안 함수의 형태가 된다.

가우시안 함수의 주파수영역 스펙트럼에서 최대 주파수가 결정되면 시간영역에서 가우시안 함수를 구성하는 τ 를 구하는 것이 가능하며, 원하는 주파수 대역에서 유효하고 정확한 결과를 얻을 수 있는 소스파형을 구성할 수 있다. 따라서 가우시안 함수의 주파수 스펙트럼에서 최대 주파수를 결정하는 것이 중요하다. 일반적으로 최대 주파수는 주파수 스펙트럼에서 최대 크기의 10%인 지점에서 결정한다. 이것은 수치계산에서 실수를 처리하는 단일 배정도 표준에 따라 값의 정밀성을 보장하기 위한 것으로 최대 크기의 10%보다 작은 값으로 설정할 경우 수치적으로 얻어지는 값의 정밀성을 보장할 수 없으며[8], 최대 크기의 10%보다 큰 값으로 설정할 경우 정밀성을 보장할 수는 있으나 시간영역에서 소스파형의 폭이 넓어지기 때문에 정확한 결과를 얻기 위한 시뮬레이션 시간이 길어지게 된다. 따라서 가우시안 함수의 주파수 스펙트럼에서 최대 주파수는 최대 크기의 10%에서 결정할 수 있고, 이 때 τ 와 f_{max} 사이의 관계를 찾을 수 있다.

$$f_{\max} = \frac{c_0}{\lambda_{\min}} = \frac{c_0}{n_c \Delta s_{\max}}$$

$$\tau = \frac{\sqrt{2.3}}{\pi f_{\max}} = \frac{\sqrt{2.3} n_c \Delta s_{\max}}{\pi c_0} \cong \frac{n_c \Delta s_{\max}}{2c_0} \quad (5)$$

여기서 c_0 는 자유공간에서의 빛의 속도이며, Δs_{\max} 는 공간증분 중 최대 크기이다. 또한 λ_{\min} 은 최대 주파수의 파장이다. 최대 주파수는 정확도 파라미터인 n_c 에 의해 결정될 수 있다. 이 파라미터는 공간에서 신호를 정확하게 샘플링하기 위한 값으로 본 논문에서는 20으로 설정한다.

실제 1단 저역통과 회로의 시뮬레이션에 사용된 소스파형은 <그림 3>과 같다.

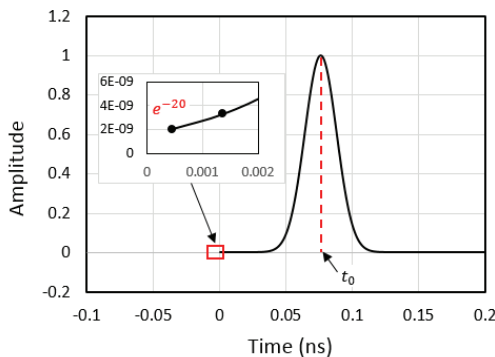


그림 3. 1단 저역통과 회로에 인가된 소스파형
Figure 3. Source waveform impressed one-stepped low-pass circuit

4.3 포트 정의 및 시뮬레이션 처리

일반적으로, 어떠한 회로에 소스를 인가할 때 전류밀도의 관점이 아닌 전압과 전류의 관점으로 소스를 정의하기 때문에 전압과 전류의 관점에서 소스를 전계와 자계의 형태로 변환해야 한다. 특히, 마이크로스트립 선로의 경우 입력과 출력포트는 도체 벽으로 정의된다[9]-[11]. 따라서 앞에서 정의

한 소스파형은 전압파형으로 FDTD 전자계식에 적용하기 위해서는 다음과 같은 처리가 필요하다.

$$E_z^{n+1}(i,j,k) = -E_z^n(i,j,k) - \frac{2}{\Delta z} V_s^{n+\frac{1}{2}} \quad (6)$$

여기서 V_s 는 시간의 함수로 식 7에서 정의한 소스파형이다. 소스를 인가할 포트의 위치가 결정되면 그 위치에서의 계산은 식 2에서 식 6으로 대체된다. 서로 다른 매질의 경계에서는 그 매질의 고유 파라미터 값에 의해 전자계 성분들의 크기가 결정되기 때문에 별다른 처리를 하지 않아도 되지만, 마이크로스트립 선로와 같이 완전 도체로 설정할 경우에는 해당 위치의 전계 성분이 항상 0이 되도록 처리해야 한다.

FDTD 시뮬레이션은 처음 소스파형으로 인해 포트 위치에서 식 6에 따라 전계의 크기가 계산되며, 이 값을 다시 식 1에 적용하면 그 주변의 자계 성분들이 계산된다. 그 다음, 식 1에 의해 계산된 자계 성분들을 식 2에 적용하여 다시 그 주변의 전계 성분들을 계산한다. 이렇게 계산된 값들은 시간이 지남에 따라 주변 영역의 전자계 성분들의 계산에 사용되며 계속해서 업데이트 되어가는 해석 과정을 거친다. 따라서 주어진 구조의 전체 영역에서 각 위치에 대한 전자계 성분들의 크기를 사용자가 정의한 시간증분마다 계산할 수 있기 때문에 시간에 따라 전자파가 어떻게 진행하여 나가는지에 대한 여부를 알 수 있을 뿐만 아니라 수치적 처리를 통해 해당 구조에 대한 주파수 특성을 파악할 수 있다.

4.4 외부경계 조건과 시뮬레이션 시간 설정

FDTD 기법에 의한 전자기 필드 해석은 컴퓨터의 유한한 기억용량으로 인해 계산영역이 제한된

다. 그러므로 응용분야 중에서 산란 또는 복사 문제에 대한 계산은 오픈 공간으로서 계산영역의 중단부분에서 반사가 일어나지 않도록 외부경계 조건을 적용해야 한다. 외부경계 조건으로 J. Roden과 S. Gedney에 의해 발표된 CPML을 적용한다[12]. 시뮬레이션에서 사용된 CPML은 물체로부터 각각 x, y, z방향에서 5cell만큼 떨어진 지점에서부터 적용되어 각각 x, y, z방향으로 8cell만큼의 두께를 갖도록 설정하였으며 <그림 4>에 도시하였다.

이 논문에서 고려된 회로기판은 Rogers사의 RO 3203 제품을 통해 구현되며, 이 기판의 제원은 유전상수 $\epsilon_r = 3.02$, 손실 탄젠트 $\tan\delta = 0.0016$, 기판의 높이 $h = 1.524\text{mm}$, 구리 도체의 두께 $t = 35\mu\text{m}$ 이다.

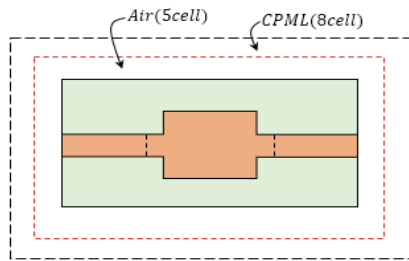


그림 4. 1단 저역통과 회로의 외부경계조건
Figure 4. Outer boundary conditions of the one-stepped impedance low-pass circuit

회로 시뮬레이션 시간은 측정지점에서 시간영역의 응답이 0으로 수렴될 때까지 이루어져야 정확한 주파수 영역의 응답을 얻을 수 있다. 본 논문에서는 고려된 회로 중 1단 저역통과 회로에 사용된 시간증분은 수치적 안정조건인 식 3을 사용하여 $\Delta t = 0.913\text{ps}$ 이며, 시뮬레이션은 $5474\Delta t$ 으로 총 5000ps 동안 수행한다. 3단 저역통과 회로의 경우, 사용된 시간증분 $\Delta t = 0.643\text{ps}$ 이며, 시뮬레이션은 $31109\Delta t$ 으로 총 20000ps 동안 수행한다.

4.5 산란 파라미터 계산

산란 파라미터(Scattering parameters)는 RF와 마이크로파 회로의 주파수 응답 특성을 나타내기 위해 자주 사용되는 파라미터이다. FDTD 기법에 의해 획득할 수 있는 시간영역 전자계 결과들을 통해 산란 파라미터의 결과를 얻기 위해서는 다음과 같은 처리가 필요하다. 먼저 기준면에서 전압과 전류를 수집해야 하며, 이는 전계와 자계 성분들을 통해 얻을 수 있다. <그림 5>는 기준면에서 각 위치에 대한 전계와 자계 성분들을 나타내고 있으며, 다음 식을 통해 전계와 자계 성분들로부터 전압과 전류가 계산된다[8].

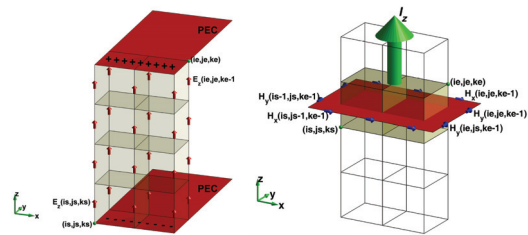


그림 5. 기준면에서 전압과 전류를 계산하기 위한 전자계 성분들의 위치
Figure 5. The position of electromagnetic fields for calculate the voltage and current at reference plane

$$V = C_{svf} \times \sum_{i=i_s}^{i_e} \sum_{j=j_s}^{j_e} \sum_{k=k_s}^{k_e-1} E_z(i, j, k) \quad (7)$$

$$C_{svf} = \frac{-\Delta z}{(i_e - i_s + 1) \times (j_e - j_s + 1)}$$

$$I_z(k_e - 1) = \Delta x \times \sum_{i=i_s}^{i_e} H_x(i, j_s - 1, k_e - 1) + \Delta y \times \sum_{j=j_s}^{j_e} H_y(i_e, j, k_e - 1) - \Delta x \times \sum_{i=i_s}^{i_e} H_x(i, j_e, k_e - 1)$$

$$-\Delta x \times \sum_{j=j_s}^{j_e} H_y(i_s-1, j, k_e-1) \quad (8)$$

식 7에서 V 는 기준면에 해당되는 영역인 도체판 사이에 존재하는 총 전계에 평균을 취한 것으로 평균전압 값이며, i_s, j_s, k_s 는 기준면의 시작(start) 점을, i_e, j_e, k_e 는 기준면의 끝(end)점을 나타낸다. 식 8에서 I_z 는 z 방향의 총 전류 값으로, 암페어의 주회법칙에 의해 기준면을 둘러싼 자계들의 합으로 계산된다.

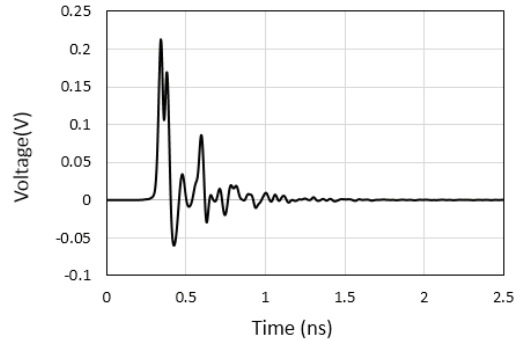


그림 8. 포트 2의 기준면에서 계산된 평균전압
Figure 8. The average voltage at reference plane of port2

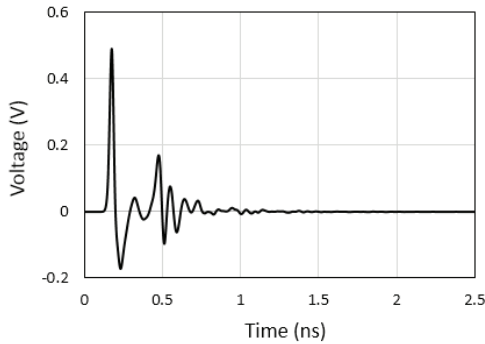


그림 6. 포트 1의 기준면에서 계산된 평균전압
Figure 6. The average voltage at reference plane of port1

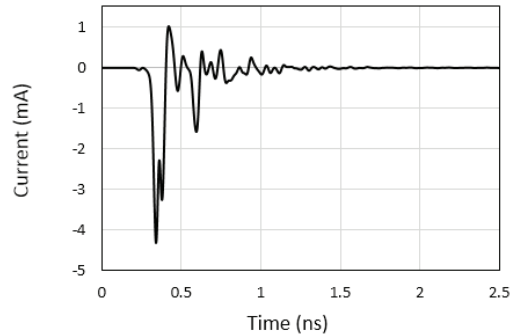


그림 9. 포트 2의 기준면에서 계산된 총 전류
Figure 9. The total current at reference plane of port2

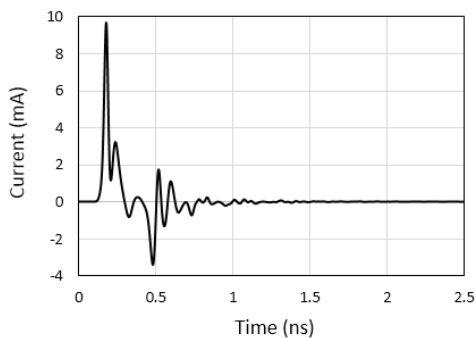


그림 7. 포트 1의 기준면에서 계산된 총 전류
Figure 7. The total current at reference plane of port1

식 7과 식 8을 이용하여 계단형 임피던스 1단 저역통과 회로의 포트 1의 기준면에서 수집한 전압과 전류를 <그림 6>과 <그림 7>에, 그리고 포트2의 기준면에서 수집한 전압과 전류를 <그림 8>과 <그림 9>에 나타내었다. 그림에서 전압과 전류의 값은 약 2.5ns 이후부터 0에 가까운 값으로 수렴되며, 이는 주파수 영역의 값으로 변환할 때 충분히 신뢰할 수 있는 결과이다.

수집된 전압과 전류는 각각 DFT(Discrete Fourier Transform)인 식 9에 의해 주파수 영역의 값으로 변환할 수 있다.

$$X_i(\omega) = \Delta t \sum_{n=1}^{N_{steps}} x_i(n\Delta t) e^{-j\omega n\Delta t} \quad (9)$$

전압에 관한 식 7과 전류에 대한 식 8로부터 얻은 <그림 6, 7>과 <그림 8, 9>의 결과를 주파수 스펙트럼으로 변환하는 식 9에 적용하면 각 포트에서 출력되는 전압과 전류의 주파수 스펙트럼을 계산할 수 있다. 여기서 N_{steps} 은 시간증분 Δt 의 총 반복 횟수이다. 산란 파라미터는 전압 파를 기반으로 하기 때문에, 포트 1과 포트 2에서 수집된 주파수 영역에서의 전압과 전류 값은 다시 입사된 전압 파와 반사된 전압 파로 변환되어야 하며 이는 다음 식을 통해 변환될 수 있다[13].

$$a_i = \frac{V_i + Z_i I_i}{2\sqrt{\text{Re}Z_i}} \quad (10a)$$

$$b_i = \frac{V_i - Z_i^* I_i}{2\sqrt{\text{Re}Z_i}} \quad (10b)$$

여기서 V_i 와 I_i 는 포트 i 지점에서의 전압과 전류이며, Z_i 는 포트 i 의 특성임피던스이다. 각 포트에서 나타나는 입사파와 반사파로부터 산란 파라미터는 다음과 같은 행렬로 표현할 수 있다.

$$\begin{bmatrix} b_1 \\ b_2 \\ \vdots \\ b_m \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & \cdots & S_{1n} \\ S_{21} & S_{22} & \cdots & S_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ S_{m1} & S_{m2} & \cdots & S_{mn} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ \vdots \\ a_n \end{bmatrix} \quad (11)$$

여기서 정의에 따라 첨자 mn 은 출력포트의 수 m 과 입력포트의 수 n 을 나타내며, 이때의 산란 파라미터는 S_{mn} 이다. 만약 정합된 부하에 의해 다른 모든 포트들이 종단되어 있는 동안 오직 하나의 포트 n 에 입력 전압 파 a_n 신호가 여기 된다

면, 포트 m 에서의 출력 전압 파 b_m 은 다음과 같은 관계에 의해 산란 파라미터로 표현된다.

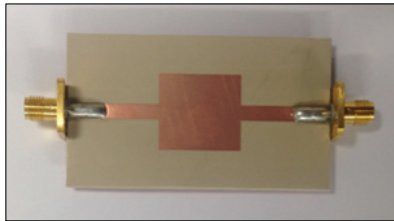
$$S_{mn} = \frac{b_m}{a_n} \quad (12)$$

5. FDTD 수치적 결과와 측정결과 비교

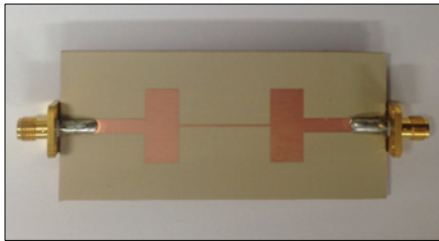
이 절에서 비교된 수치적 결과들은 이전 정의된 FDTD 이론에 의해 계산한 수치적 결과와 현재 사용되고 있는 상용툴인 CST의 시뮬레이션 결과이며[14], 이들은 실제 제작을 통하여 회로망분석기인 VNA를 사용하여 측정된 결과와 함께 분석하였다.

CST의 Microwave studio는 고주파 문제의 3D EM 시뮬레이션을 제공하고 있으며, FDTD를 기반으로 한 시간영역 해석으로 문제를 해석할 수 있기 때문에 직접 구현한 FDTD의 결과 값과 비교하기에 적합하다. 이 논문에서는 FDTD와 CST간에 셀 크기를 설정하는 조건을 균등 셀과 비균등 셀로 달리하여 결과 값을 도출하였다. 그 이유는 CST의 경우에 정확한 수치해석 결과를 얻기 위해서는 불연속 경계면 주변에는 셀 크기의 조건을 조밀하게 설정하여야 하기 때문이다. 수치적 결과의 비교에서 시뮬레이션 조건에 대한 내용은 <표 2>에 나타내었다. 또한, <표 1>에서 결정된 선로의 폭과 길이를 바탕으로 저역통과 회로를 집적 제작하고 측정하였으며, 실제 제작된 저역통과 회로는 <그림 10>에 나타내었다.

본 논문에서 측정에 사용된 네트워크 분석기는 Protex의 A333제품을 사용하였으며[15], 정확한 측정결과를 얻기 위해서 Agilent의 85052D 3.5mm Economy Calibration Kit가 측정오차 값 보정에 사용되었다.



(a) 1단 저역통과 회로



(b) 3단 저역통과 회로

그림 10. 이론적 분석에 의해 제작된 저역통과 회로
Figure 10. Low-pass circuit fabricated by theoretical analysis

표 2. 시뮬레이션 조건 비교
Table 2. comparison of Simulation conditions

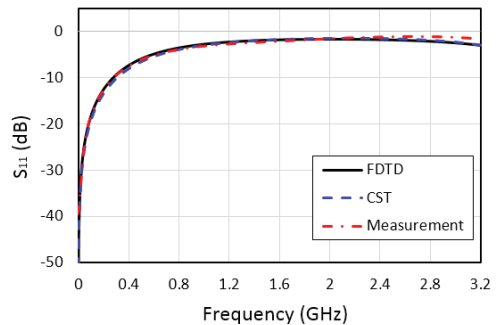
조건	FDTD	CST
Source waveform	Gaussian	Gaussian
Cell size	균등	비균등
Simulation time [ps]	5000, 20000	5000, 20000
외부경계조건	CPML	CPML

측정 시 DUT(Device Under Test)의 정확한 측정을 위해서는 측정 장비의 측정오차를 보정해야 한다. 이러한 측정오차를 보정하는 작업을 캘리브레이션(Calibration)이라 하며 이는 측정에 있어서 매우 중요한 작업이다. 측정 장비에서 발생하는 측정 오차는 크게 두 가지로 나눌 수 있으며, 이것은 각각 정오차(Systematic errors)와 랜덤오차(Random errors)이다. 정오차는 일정한 조건하에서 항상 같은 크기로 발생하는 오차이며, 이는 캘리브레이션을 통해 보정될 수 있는 오차이다. 랜덤오차는 전자부품의 잡음변동 또는 온도 드리프트에 의해 예

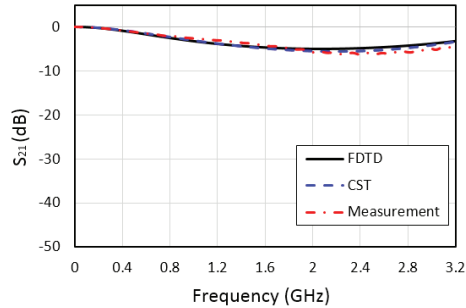
기치 못하게 발생하는 오차들이며, 따라서 측정이 불가능하고 캘리브레이션에 의해 제거할 수 없다. 논문에서 고려된 회로들은 2-Port 회로들이기 때문에 Full Two-Port Calibration 방법을 적용하였으며, 정확한 캘리브레이션 결과를 얻기 위해 IF대역폭은 1kHz, data point는 1001개, averaging이 적용하였다. 이 때, S21 크기의 경우 최대 0.023dB, 위상의 경우 최대 0.15도의 오차를 보인다.

5.1 1단 저역통과 회로의 결과 비교

산란 파라미터의 결과는 <그림 11>에 나타내었다. <그림 11(a)>는 1단 저역통과 회로의 반사손실 특성을 나타낸 것으로 비교적 양호한 결과 값을 갖는다. 논문에서 제안한 FDTD에서 얻어진 수치적 결과와 실제 측정치와의 비교에서 2GHz이하의 주파수 영역에서는 0.5dB이하의 오차를 보였고 2GHz 이상의 고주파영역에서부터 주파수가 증가할수록 오차의 범위가 증가하여 최대 1.37dB의 차이를 보였다. CST에서 얻어진 수치적 결과와 실제 측정치와의 비교에서는 0.4GHz이하의 저주파영역과 2.4GHz이상의 고주파 영역에서 0.5-1.37dB의 오차를 보였으며, 나머지 주파수 영역에서는 0.4dB이하의 오차를 보였다.



(a) 1단 저역통과 회로의 반사손실 특성



(b) 1단 저역통과 회로의 삽입손실 특성

그림 11. 계단형 임피던스 1단 저역통과 회로의 주파수 응답 특성
Figure 11. Frequency response properties of the one-stepped impedance low-pass circuit

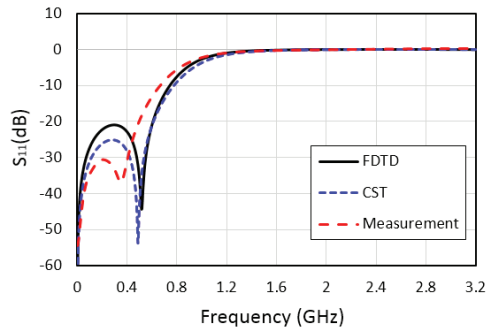
<그림 11(b)>는 1단 저역통과 회로의 삽입손실 특성을 나타낸다. 제안한 FDTD에서 얻은 수치적 결과와 측정치와의 비교에서 전체 주파수 영역에서 최대 1.51dB의 차이를 보였으며, CST와 측정치의 비교에서는 최대 1.18dB의 차이를 보였다.

5.2 3단 저역통과 회로의 결과 비교

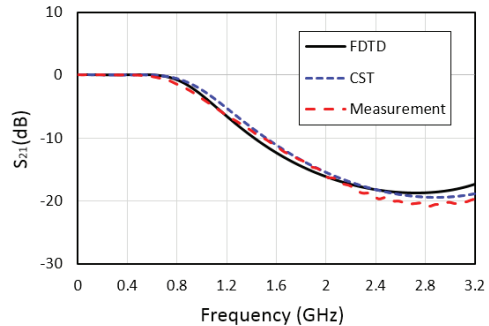
계단형 임피던스 3단 저역통과 회로의 주파수 응답 특성은 <그림 12>에 도시되었다. <그림 12(a)>는 1단 저역통과 회로의 반사손실 특성을 나타낸 것으로 3단 저역통과 회로의 경우 통과대역내의 반사손실 특성에서 다소 차이를 보였다. 논문에서 제안한 FDTD와 CST의 결과들은 통과대역인 0.52GHz와 0.49GHz에서 반사손실 특성이 크게 감소하였고, 실제 측정치는 주파수가 약간 하향 천이된 0.35GHz에서 반사손실 특성이 크게 감소하였다. 다단의 계단형 임피던스 저역통과 회로의 경우는 정규화된 커패시턴스 값과 인덕턴스의 값으로부터 각단의 계단 임피던스를 등가화 시켜 선로의 폭과 길이를 설계하기 때문에 통과대역내의 폴의 위치

가 다소 천이되어 나타날 수 있다.

<그림 12(b)>는 3단 저역통과 회로의 삽입손실 특성을 나타낸다. 그림에서 차단주파수 부근인 0.8GHz 영역 이후의 주파수 영역에서부터 편차가 나타났으며, FDTD의 수치적 결과 값은 실제 측정치와 비교하여 저지대역 감쇄가 제일 큰 2.8GHz이상의 영역에서 최대 2dB의 오차를 보였다.



(a) 3단 저역통과 회로의 반사손실 특성



(b) 3단 저역통과 회로의 삽입손실 특성

그림 12. 계단형 임피던스 3단 저역통과 회로의 주파수 응답 특성
Figure 12. Frequency response properties of the three-stepped impedance low-pass circuit

결과적으로 논문에서 제안한 FDTD 기법과 상용 툴인 CST, 그리고 제작하여 만든 저역통과 회로의 측정결과를 종합해보면 회로의 특성을 결정하는 차단주파수 주변과 저지대역 감쇄특성에서 조금

차이가 날뿐 전반적으로 반사손실과 삽입손실은 오차가 비교적 적게 나타나고, 그 특성은 매우 유사함을 확인할 수 있었다.

6. 결 론

본 논문에서는 계단임피던스 구조를 갖는 불연속 마이크로스트립 전송선로 구조를 해석하기 위한 필요조건들을 정의하고 컴퓨터 시뮬레이션을 통하여 얻어진 FDTD의 수치적 결과를 토대로 마이크로스트립 저역통과 회로를 설계하고 제작하였다. 그리고 현재 상용 툴로 활용되고 있는 CST의 시뮬레이션 결과와 백터 네트워크 분석기를 사용하여 측정된 결과들을 서로 비교하여 저역통과 주파수 특성을 나타내는 계단 임피던스 구조에서 마이크로스트립 전송선로의 불연속 특성을 효과적으로 분석하였다. 따라서 논문에 제안한 FDTD 시뮬레이션 조건을 적용하면 고가의 상용 툴을 이용하지 않고도 불연속 특성을 갖는 다단구조의 마이크로스트립 전송선 응용 회로들을 설계하고 구현하는데 용이하게 사용될 수 있다.

References

- [1] K. S. Yee, *Numerical solution of initial boundary value problems involving Maxwell's equation in isotropic media*, IEEE Transactions on Antennas and Propagation, Vol. AP-14, No. 3, pp. 302-307, 1966.
- [2] A. Taflove, and M. E. Brodwin, *Numerical solution of steady-state electromagnetic scattering problems using the time-dependent Maxwell's equations*, IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-23, No. 8, pp. 623-630, 1975.
- [3] A. Taflove, and S. C. Hagness, *Computational electrodynamics : The finite difference time domain method, 3rd edition* Norwood, MA : Artech House Publishers, 2005.
- [4] G. L. Matthaei, L. Young, and E. M. T. Jones, *Microwave filters, impedance matching networks, and coupling structures*, Artech House, Dedham, Mass., 1980.
- [5] D. M. Pozar, *Microwave engineering*, Addison Wesley, pp. 464-469, 1990.
- [6] C. A. Balanis, *Advanced engineering electromagnetics*, Second Edition, John Wiley & Sons, Inc. pp. 459-464.
- [7] A. Elsherbeni, and V. Demir, *The finite-difference time-domain method for electromagnetics with MATLAB simulations*, Scitech-Publnc, pp. 71-76, 143-151, 2008.
- [8] K. S. Kunz, and R. J. Luebbers, *The finite difference time domain method for electromagnetics*, CRC Press, 1993.
- [9] X. Zhang, J. Fang, K. K. Mei, and Y. Liu, *Calculations of the dispersive characteristics of microstrips by the time-domain finite difference Method*, IEEE Transactions Microwave Theory Techniques, Vol. 36, pp. 263-267, 1988.
- [10] X. Zhang, and K. K. Mei, *Time domain finite difference approach for the calculation of microstrip open-circuit end effect*, IEEE Transactions Microwave Theory Techniques, in IEEE MTT-S International Microwave Symposium Digest, Vol. 1, pp. 363-366, 1988.
- [11] X. Zhang, and K. K. Mei, *Time-domain finite difference approach to the calculation of the frequency-dependent characteristics of microstrip discontinuities*, IEEE Transactions

Microwave Theory Techniques, Vol. 36, No. 12, pp. 1775-1787, 1988.

- [12] J. Roden, and S. Gedney, *Convolution PML (CPML): An efficient FDTD implementation of the CFS-PML for arbitrary media*, Microwave and Optical Technology letters, Vol. 27, No. 5, pp. 334-339, 2000.
- [13] R. W. Anderson, *S-parameter techniques for faster, more accurate network design*, Hewlett-Packard Company, 1996.
- [14] CST Microwave Studio, CST Studio Suite 2011 Computer Simulation Technology AG.
- [15] Protex, *Protex A333 Network analyzer operating manual*, version1.0, GS Instruments Co., Ltd.

FDTD법을 이용한 계단임피던스 기반의 마이크로스트립 불연속 특성 분석

이동학, 양두영

제주대학교 통신공학과

요 약

마이크로파 집적회로 구성에 많이 응용되는 마이크로스트립 전송선로는 전송선 이론과 다포트 네트워크 이론을 기반으로 좀 더 복잡한 구조에 적용하게 되면서, 선로의 불연속성에 대한 분석은 매우 중요하게 되었다. 본 논문에서는 다양한 전자기적 현상에 대한 전자파 모델링, 시뮬레이션, 그리고 복잡한 시스템의 전자계 응답을 분석하는 FDTD 기술을 다룬다. 이 기술은 지역통과 회로의 변경과 더 좋은 설계를 위한 회로응답의 분별력을 제공한다. 그리고 또한 다단구조의 불연속성을 가지는 마이크로스트립 회로 설계에서 FDTD의 해석방법을 적용하기 위한 시뮬레이션 조건을 제안한다. 그 시뮬레이션 조건들은 마이크로스트립 구조체의 정의, 소스인가 파형, CPML 경계조건과 전

자파 성분들의 계산 절차에 대한 것이다. 따라서 계단 임피던스 구조의 마이크로스트립 선로로 구성된 지역통과 회로를 FDTD 해석방법에 의해 해석하고 실제 제작하여 측정된 값과 비교하였다. 수치적 결과와 측정치의 비교결과, 논문에서 제안한 FDTD 시뮬레이션 조건을 적용하면 불연속 특성을 갖는 다단구조의 마이크로스트립 전송선 응용 회로들을 설계하고 구현하는데 용이하게 사용될 수 있다.



Dong Hak Lee received the B.S. degree in telecommunication engineering from Jeju National University, Korea in 2015. He is currently an M.S. student in telecommunication engineering of Jeju National University in Korea. His current research interests include RF devices, microwave circuits and wireless communication systems.

E-mail address: ldh4453@hanmail.net



Doo Yeong Yang received the B.S. degree in telecommunication engineering from Jeju National University, Korea in 1984, and M.S., Ph.D. degrees in electrical and telecommunication engineering from Hanyang University, Korea in 1989, 1992 respectively. Since 1992, he has been a professor in telecommunication engineering of Jeju National University in Korea. His current research interests include RF devices, microwave circuits and wireless and satellite communication systems.

E-mail address: yeongyd@jejunu.ac.kr