



A Study on Low Power RF Transceiver Design for BLE / ZigBee IoT MCU Chip

Ji-Hak Jung¹, Eung-Ju Kim²

¹*Department of Semiconductor & Display, Asan Campus of Korea Polytechnics*

²*Department of Semiconductor CAD, Anseong Campus of Korea Polytechnics*

A B S T R A C T

Recently, the demand of BLE/ZigBee IoT MCU is highly increased for low power sensor network realization. In this paper, a low power and low cost BLE/ZigBee RF transceiver is studied with careful review of Bluetooth 5.0 core specification for BLE and IEEE 802.15.4 ZigBee specification. For the receiver side, a low-IF architecture with digital filtering and high ADC dynamic range is used to eliminate the analog filter to achieve both of small size and low power consumption simultaneously. Thanks to the inherent characteristics of a low-IF receiver, the proposed architecture also has the merits of high performance because of no signal loss due to DC offset removal filter and no flicker noise. For the transmitter side, a direct frequency modulation based on two point modulation and gain and phase mismatch calibration is proposed also for low power consumption. Moreover, 5bit binary-weighted inverse class-F power amplifier is proposed because the inverse class-F power amplifier shows greatly improved power efficiency even better than that of the class-F power amplifier. The 5bit binary-weighting is used for maximum transmit output power control as well as transmitter ramping for on-to-off and off-to-on transition. To meet FCC spurious emission regulation, on-chip and off-chip LC filtering and LO duty ratio control to suppress 3rd harmonic and 2nd harmonic, respectively. Finally, this paper presents the power architecture, which can support battery operation and solid power supply operation for best power efficiency and BOM cost optimization.

© 2020 KKITS All rights reserved

KEYWORDS : BLE, ZigBee, ISM band, IoT, MCU, RF trasceiver, low-IF, direct frequency modulation, two point modulation, low power design, small size design, low cost design, power architecture, buck converter

ARTICLE INFO: Received 14 November 2019, Revised 24 December 2019, Accepted 7 February 2020.

*Corresponding author is with the Department of Semiconductor & Display, Korea Polytechnics, #45 Haengmok-Ro Shinchang-Myun, Asan-city, Chungnam,

31533, KOREA.

E-mail address: jihakjung@kopo.ac.kr

1. 서론

최근 사물 인터넷 (Internet of Things, IoT)에 대한 수요가 급증하면서 다양한 사물 인터넷 관련 제품이 출시되고 있다. 사물 인터넷은 각종 사물에 센서와 통신 기능을 내장하여 인터넷에 연결하는 기술로서 그 사용하는 무선 통신 기술에 따라 LTE (Long-Term Evolution) 셀룰러 통신 기반의 NB-IoT (Narrow Band IoT)와 Wi-Fi 및 Bluetooth 등의 근거리 무선 통신 (Wireless Connectivity) 기반의 IoT 제품군으로 크게 구별된다. 그 중 BLE (Bluetooth Low Energy)와 IEEE 802.15.4 ZigBee 기반의 IoT 제품은 두 통신 규격이 제공하는 저전력 무선 통신 기술로 인해 전력 소모가 매우 낮은 장점을 보이며, 이러한 장점으로 인해 사물 인터넷 시장에서 가장 주목받는 제품군이 되었다. 특히 2.4 GHz ISM (Industry-Science-Medical)용 IEEE 802.15.4의 경우 O-QPSK (Offset Quadrature Phase Shift Keying) 변조 방식을 사용하여 BLE의 GFSK (Gaussian frequency-shift keying) 변조와 마찬가지로 RF 신호가 constant envelope 특성을 가져 하나의 RF transceiver를 이용하여 BLE 및 ZigBee를 동시에 지원하는 것이 가능한 특징을 가지고 있다 [1-2].

본 논문에서는 최근 저전력 센서 네트워크 구성을 위해 가장 많은 주목을 받는 저전력 BLE/ZigBee RF transceiver 구현을 위해, BLE 와 ZigBee 의 RF 규격에 대한 검토를 진행하고 각종 RF 규격을 만족시키기 위한 최적의 RF transceiver architecture 및 calibration 기법에 대한 연구를 진행하였다. 또 IoT MCU (Micro-Controller Unit)에 RF transceiver가 집적화됨으로 발생할 수 있는 전력 공급 시스템의 구조, digital 블록으로 발생하는 잡음의 격리 문제, 높은 ESD 요구 규격에 대한 검토를 진행하고, 그 결과를 바탕으로 최적의 RF transceiver 구조를 제안하였다.

본 논문의 구성은 다음과 같다. 제 2-1장에서는 저전력 고성능 BLE/ZigBee RF 수신기 구조에 대해 살펴보고, 2-2장에서는 전력 효율 개선을 위한 inverse class-F 전력 증폭기와 direct frequency modulation 송신기에 대해 살펴본다. 2-3장에서는 다양한 전원 시나리오에서 전력 효율과 고객 비용 최적화가 가능한 전원 구조에 대해 살펴보고, 마지막으로 제 3장에서는 결론을 기술한다.

2. BLE/ZigBee RF 및 power architecture

2.1 BLE/ZigBee 수신기 architecture

BLE는 2009년 저전력 통신을 목적으로 Bluetooth 규격 4.0 에 처음 추가되었고 Bluetooth 규격 5.0 에서는 BLR (Bluetooth Long Range) 이 추가되어 원거리 통신을 저전력으로 구현할 수 있게 되었다. BLR는 RF 측면에서 BR (Basic Rate)의 GFSK 변조 방식을 기반으로 LE Coded 를 추가하여 coding gain으로 sensitivity 만족을 위한 required SNR (Signal-to-Noise Ratio)을 개선한 기술이다. LE Coded 에서는 S=2 와 S=8 두 가지 경우를 지원하여 각각 3 dB ($=10 \cdot \log_{10}(2)$) 와 9 dB ($=10 \cdot \log_{10}(8)$) 의 coding gain 으로 인한 sensitivity 개선을 얻을 수 있게 된다. 또한 BLE에서는 대용량 데이터 전송이 필요한 경우를 위해 2 Mbps 모드를 지원하며, 이는 BR의 1 Mbps 모드보다 payload 및 header 구간의 clock을 두 배 빠르게 하여 구현한다 [1].

ZigBee 는 IEEE 802.15.4 표준 그룹에서 발행하는 스펙을 기반으로 하며, sub-1 GHz 대역에서부터 2.4 GHz ISM 대역 등 매우 다양한 주파수 대역을 지원하며 변조 방식 또한 각 주파수 대역 별로 GFSK 및 O-QPSK 등 다양한 방식을 지원하는 것을 특징으로 하고 있다.

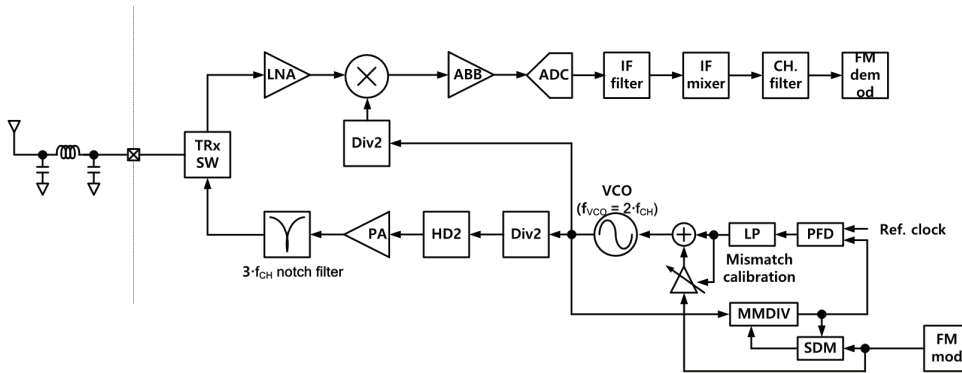


그림 1. BLE/ZigBee IoT MCU 용 RF transceiver architecture
 Figure 1. BLE/ZigBee IoT MCU RF transceiver architecture

2.4 GHz ISM 대역용 IEEE 802.15.4 PHY (Physical Layer) 스펙은 2 MHz 채널 대역폭에 O-QPSK 변조 방식을 이용하여 250 kbps의 data rate을 지원하며, 채널 대역폭 및 constant envelope modulation 을 사용한다는 측면에서 BLE 와 비슷한 RF/PHY spec를 가지고 있고 이로 인해 1 개의 RF transceiver를 이용하여 BLE/ZigBee 동시 지원이 가능하게 된다 [2].

아래 <표 1>은 표준 규격 및 시중 제품들의 BLE 1 Mbps 와 ZigBee 의 주요 수신기 RF/PHY spec을 보여주고 있다 [1-7]. <표 1>에 정리된 BLE/ZigBee 의 RF 수신기 규격을 통해 최적의 RF 수신기 구조를 제안하고자 한다. 먼저 sensitivity의 경우 -93 dBm BLE 1Mbps 모드 및 -102 dBm ZigBee mode 의 목표를 달성하기 위해서는 모뎀의 minimum required SNR 이 각각 9 dB 및 3 dB 수준을 만족 하며 동시에 RF 수신기 전체의 잡음 지수 (Noise Figure, NF) 는 $6 \text{ dB} (= -93 \text{ dBm} - (-174 \text{ dBm/Hz}) - 10 \cdot \log_{10}(2\text{MHz}) - 9 \text{ dB} (\text{BLE 경우}))$ 가 필요함을 알 수 있다. 6 dB NF 는 최신 RF 공정에서 10 mA 수준의 전체 수신기 전력 소모 수준에서 구현

이 가능한 최적의 값으로 판단된다. 또 본 논문에서는 RF 수신기의 구조를 low-IF (Intermediate Frequency) 구조로 제안한다. BLE 와 ZigBee 는 각각 GFSK 와 O-QPSK 의 변조 방식을 사용하며, 이 두 변조 방식의 특징은 DC 대역에 대부분의 신호 에너지가 모여 있는 형태를 갖는다. 따라서 direct conversion (또는 Zero-IF) 수신기 구조에서 발생하는 DC offset 제거를 목적으로 사용한 high pass filter (HPF)의 신호 손실 및 flicker noise 는 SNR 열화에 매우 취약한 변조 방식이다. Low-IF 수신기는 2~3 MHz의 IF 주파수를 사용할 경우 이상의 zero-IF 수신기의 문제를 쉽게 해결할 수 있게 되며 동시에 DC offset을 제거하기 위한 HPF를 사용하지 않음으로 HPF의 매우 낮은 차단 주파수로 인해 매우 큰 면적이 발생하는 것을 피할 수 있어 저 전력 소형 RF 수신기 구현에 매우 유리한 구조이다. Selectivity 규격은 BLE가 ZigBee에 비해 상대적으로 높은 규격을 요구하고 있는 것을 알 수 있고, BLE spec을 만족시킬 경우 ZigBee는 자동으로 요구 규격을 만족하게 된다. BLE 의 2 MHz 채널 대역폭으로 인해 채널 선택 필터의 대역폭은 약

2 MHz 수준이어야 하므로 2 MHz offset에서의 C/I -17 dB spec이 가장 만족하기 어려운 spec임을 알 수 있고, 시중 제품들의 성능에서도 2 MHz offset C/I 특성이 -20 dB 수준으로 표준 요구 규격을 최소한의 마진과 함께 만족함을 알 수 있다.

본 논문에서는 low-IF 구조의 특성을 최대한 활용하여 dynamic range 가 넓은 ADC (Analog-to-Digital Converter)와 digital filter를 사용하여 analog filter를 사용하지 않고 전력 소모 및 칩 크기를 최소화하고 간섭 신호는 digital 단에서 제거하는 구조를 제안한다. 이 구조는 low-IF 수신기의 장점을 살려 전력 소모와 칩 크기를 동시에 최적화할 수 있는 장점이 있고, 이때 digital IF filter 및 채널 필터는 2 MHz offset에서 29 dB (= 9 dB required SNR + 20 dB target C/I)의 간섭 신호 제거가 필요하며 이는 5차 digital filter 를 통해 구현할 수 있다. 또 ADC는 50 dB (= 9 dB required SNR + 20 dB target C/I + +10 dB ADC noise backoff + 10 dB AGC margin) 이상의 dynamic range가 필요함을 알 수 있다.

BLE 및 ZigBee 는 저가의 crystal oscillator (XO) 를 사용하기 위해 상당히 완화된 클럭 정확도 스펙을 요구하고 있다 [8]. BLE의 경우 dirty Tx (transmitter)의 CFO (Carrier Frequency Offset)는 ±100 kHz (= ±40 ppm of 2.5 GHz) 를 허가하고 있으며, 수신기도 저가의 crystal 을 사용함으로 인해 같은 수준의 FO (Frequency Offset) 가 발생할 수 있게 된다. 따라서 dirty Tx에서 발생하는 CFO 와 수신기에서 발생할 수 있는 CFO를 합하여 모두 ±200 kHz (= ±80 ppm of 2.5 GHz)의 CFO를 검출하고 보상할 수 있는 CFO 검출 보상 회로가 필요하다. 본 논문에서는 마진을 감안하여 ±250 kHz (= ±100 ppm of 2.5 GHz)를 CFO 검출 보상 회로에 제안한다.

표 1. BLE/ZigBee 수신기 RF/PHY specification
Table 1. BLE/ZigBee receiver RF/PHY specification

항목	BLE 1 Mbps	ZigBee	비고
Sensitivity 기준	BER < 0.1 %	PER < 1 %	
최소 요구 SNR	~9 dB	~3 dB	계산치
ensitivity	< -70 dBm	< -85 dBm	표준 요구
	-93 dBm	-102 dBm	시중 제품 수준
Selectivity (Co-channel)	21 dB/ -9 dB	NA	표준 요구 / 시중 제품 수준
Selectivity (C/I 1 MHz)	15 dB / 0 dB	NA	표준 요구 / 시중 제품 수준
Selectivity (C/I 2 MHz)	-17 dB / -20 dB	NA	표준 요구 / 시중 제품 수준
Selectivity (C/I > 3 MHz)	-27 dB / -35 dB	NA	표준 요구 / 시중 제품 수준
Selectivity (C/I 5 MHz)	NA	0 dB / -35 dB	표준 요구 / 시중 제품 수준
Selectivity (C/I 10 MHz)	NA	-30 dB / -35 dB	표준 요구 / 시중 제품 수준
Selectivity (C/I Image)	-9 dB	NA	표준 요구
Max. input power	-10 dBm	NA	표준 요구
	0 dBm	0 dBm	시중 제품 수준
Inter- modulation	> -57 dBm	NA	계산치 ¹⁾
	-34 dBm	NA	시중 제품 수준

1) Wanted signal 레벨 = -64 dBm, CW 및 간섭 신호 레벨 = -50 dBm, 따라서 IMD = -64 dBm + (50 dBm - (-64 dBm)) / 2 = -57 dBm

2.2 BLE/ZigBee 송신기 architecture

표 2. BLE/ZigBee 송신기 RF/PHY specification
Table 2. BLE/ZigBee transmitter RF/PHY specification

항목	BLE 1 Mbps	ZigBee	비고
최대 출력 전력	-20 dBm ~ +20 dBm	> -20 dBm	표준 요구
	-20 dBm ~ 5 dBm	-20 dBm ~ 5 dBm	시중 제품 수준
주파수 오프셋	< ±100 kHz ¹⁾	< ±40 ppm	
1010 패턴 주파수 변조폭	00001111 패턴 대비 ±80 % 이상	NA	
최소 주파수 변조폭	> 185 kHz	NA	
BT (Bandwidth -bit period product)	< 0.55 & > 0.45	NA	
	< 0.505 & > 0.405	NA	Stable modulation index 지원
EVM (Error Vector Magnitude)	NA	< 35 % (or < -9 dB)	
Spurious emissions	-41 dBm/ 1 MHz ²⁾	-41 dBm/ 1 MHz ²⁾	

1) Only for initial offset, including initial offset and drift during the packet < ±150 kHz

2) FCC part 15.247 regulation for forbidden bands

<표 2>에는 BLE 및 ZigBee 송신기의 RF/PHY spec이 정리되어 있다. BLE와 ZigBee 는 최대 출력 전력의 범위를 -20 dBm 이상, +20 dBm 이하 및 -20 dBm 이상을 각각 정의하고 있다. 시중의 BLE/ZigBee combo 제품은 대략 최대 출력 전력을 최대 0 dBm ~ 5 dBm 수준을 지원하고 있다. 하지만 최근 매우 다양한 센서 네트워크로 IoT 응용 분야가 넓어지고 있어 출력 전력이 더 커져야 하는 요구

를 받고 있다. 특히 BLE/ZigBee IoT MCU 의 가장 큰 시장으로 주목받고 있는 조명 분야에서는 주변의 금속 구조물로 인해 RF 신호의 손실이 매우 크고 이로 인해 높은 출력 전력을 요구하고 있다. 이에 본 논문에서는 최대 출력의 스펙을 +10 dBm 으로 제안하며 동시에 다양한 응용 분야에 적용할 수 있도록 -20 dBm 까지 30 dB의 송신기 출력 전력 조절을 제안한다.

BLE/ZigBee 는 이미 검토한 바와 같이 GFSK와 O-QPSK 의 constant envelope 변조 방식을 사용하기 때문에 DFM (Direct Frequency Modulation) 방식을 사용하여 매우 간단한 LO (Local Oscillator) 구조의 구현이 가능하고 baseband I/Q (In-phase /Quadrature-phase) 회로 처리 부분을 제거할 수 있어 저전력 설계가 가능하다 [8]. DFM 방식은 PLL (Phase Locked Loop)에 주파수 변조 신호를 입력하여 RF 신호를 직접 변조하는 방식이나 PLL의 loop filter의 좁은 통과 대역폭으로 인해 신호의 손실이 발생하는 문제가 있다. 이러한 문제를 해결하기 위해 전치 왜곡 기법 [9]과 TPM (Two Point Modulation) 기법 [10-11]이 사용되며, 본 논문에서는 구현 측면에서 간단한 TPM 방식을 채택하였다. TPM은 변조 신호를 VCO (Voltage Controlled Oscillator) 단과 PFD (Phase Frequency Detector) 단의 두 부분에 입력하고 두 점에서 RF 출력까지 전달 특성이 각각 high pass filter와 low pass filter 의 특성을 가지며, 차단 주파수가 모두 PLL loop filter의 차단 주파수로 동일한 점을 이용한 방식이다. 하지만 TPM 역시 두 경로 간의 위상 크기 차이가 발생하면 성능 열화가 발생하는 문제가 있고, 이를 위해 두 경로 간의 위상 크기 차이에 대한 보상 기법이 필요하게 된다. 본 논문에서는 LMS (Least Mean Square) adaptive algorithm을 이용하여 두 경로 차이 보상 기법을 적용하는 방법을 제안한다 [10]. 이 기법은 그 방법이 매우 간단

해 추가 전력 소모는 최소화 되며, data 전송 중에도 back-ground calibration으로 계속 진행이 가능하다는 장점이 있다.

BLE/ZigBee 의 constant envelope 변조 신호를 안테나에 전달하는 전력 증폭기는 전체 시스템의 전력 소모에서 가장 중요한 블록이다. 본 논문에서는 inverse class-F 전력 증폭기를 제안한다. Class-F 전력 증폭기는 Class-B 전력 증폭기에 고조파 성분에 대한 임피던스 매칭을 독립적으로 진행하여 사각파 형태의 전압 파형을 만들어 고효율 증폭기 구현이 가능하다. 또한, 고조파 임피던스 매칭을 통해 고조파 성분에 대한 출력 전력 억제 효과가 있다. Inverse class-F 전력 증폭기는 class-F 와 달리 짝수 고조파에 대해 open, 홀수 고조파에 대해 short로 임피던스 매칭을 하며, 최근 class-F 및 inverse class-F 전력 증폭기의 연구 결과에 의하면 inverse class-F 의 전력 효율이 더 우수함이 증명되었다 [12]. 본 논문에서는 최대의 저전력 설계를 위해 inverse class-F 전력 증폭기를 제안하며, 출력 전력을 +10 dBm 에서 -20 dBm 까지 조절하기 위해 트랜지스터를 5 bit binary-weighted 로 구성하는 것을 제안한다. 이 binary-weighted inverse class-F 증폭기의 출력 전력 제어는 응용에 따른 고정 출력 전력을 조절하는 데도 사용할 수 있을 뿐만 아니라 송신기를 켜고 끄는 순간 smoothing 한 transition으로 spectrum emission을 최소화하기 위한 ramping 기능으로도 사용할 수 있다.

FCC (Federal Communications Commission) 는 허가되지 않은 대역에 대한 무선 출력 전력을 강력하게 제한하고 있으며, 대부분의 제한 대역에서 -41 dBm / 1MHz 미만의 출력을 제한한다 [13-15]. 본 논문에서 inverse class-F 전력 증폭기를 제안하였으며, inverse class-F 의 사각파 형태의 출력 신호로 인해 매우 높은 홀수 차수 고조파

성분이 발생하게 된다. 예를 들어 사각파의 3차 고조파에 대한 푸리에 급수는 $1/3$ 이며 이는 기저파 대비 3차 고조파의 출력이 약 -9 dB ($= 20 \cdot \log_{10}(1/3)$) 낮은 수준이며, 이는 마진 포함 약 60 dB ($= 10 \text{ dBm output power} - (-41 \text{ dBm regulation}) + 9 \text{ dB margin}$) 대비 매우 부족한 수준이다. 본 논문에서는 추가적인 50 dB 의 3차 고조파 감쇠를 위해 전력 증폭기 출력단에 on-chip notch filter를 추가하고 off-chip LC low pass filter를 제안한다. 두 필터에서 각각 25 dB 씩의 추가 감쇠가 있을 때 필터 구현을 위한 Q의 요구 규격 또한 합리적인 수준에서 구현 가능할 것으로 판단된다. 또 LO 신호의 on/off duty가 50% 를 벗어나면 2차 고조파가 크게 발생할 수 있는 점을 고려하여 2차 고조파를 제거하기 위해 HD2 (2nd Harmonic Distortion) 보상을 위한 LO 신호의 duty 제어 회로를 추가하였다.

LO architecture는 divide-by-2 (VCO 주파수 = $2 \times \text{RF carrier 주파수}$) 구조를 제안한다. 이 구조는 수신기의 IQ mixer 구동을 위한 quadrature 신호 생성을 div-by-2 회로를 이용해 매우 간단히 구현 가능하며, 송신기 신호도 변조된 VCO 주파수를 div-by-2 출력하는 형태로 구현할 수 있다. 이때 수신기의 div-by-2 회로는 수신기에 가깝게 배치하여 IQ 신호의 크기 위상 차이를 최소화하고, 송신기의 div-by-2 는 VCO 에 가깝게 배치하여 VCO에서 송신기 회로로 신호 전송을 낮은 주파수에서 구현하여 저전력 및 간섭 신호를 최소화 하였다. 이상에서 제안한 BLE/ZigBee IoT MCU 용 RF transceiver는 <그림 1>에 정리되어 있다.

2.3 BLE/ZigBee RF transceiver power architecture

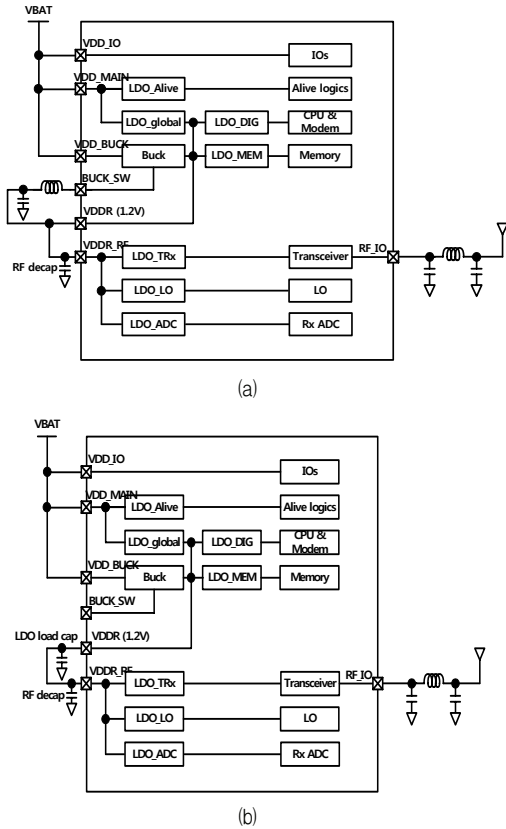


그림 2. BLE/ZigBee IoT MCU 용 power architecture
Figure 2. BLE/ZigBee IoT MCU power architecture

Power architecture는 전력 소모 최적화 및 고객 BOM (Bill Of Materials) 최적화에 매우 중요한 부분이다. BLE/ZigBee IoT MCU 용 RF transceiver는 배터리를 사용하는 환경과 고정 전원을 사용하는 다양한 전원 시나리오를 지원해야 한다. 이는 배터리 환경에서 저전력 최적화 기능 및 고정 전원 환경에서 BOM 최적화 기능을 모두 제공해야 한다. 본 논문에서는 <그림 2>와 같은 구조를 제안한다. <그림 2> (a)는 배터리 사용 환경에서 buck converter를 이용하여 전력 효율을 개선하는 경우이다. Global LDO (LDO_global)는 꺼지고 buck은 활성화 되었으며, BUCK_SW는 buck converter의

switching node이며, VDDDR은 외장 인덕터 캐패시터를 통과한 buck의 DC 출력을 입력받아 digital 블록의 전원을 공급하여 동시에 buck converter의 출력 전압 제어를 위한 feedback input 단자이다. VDDDR_RF는 RF 전원과 digital 단 전원을 외장 decoupling 캐패시터로 분리하기 위한 RF 전용 전원 단자이다. <그림 2> (b)는 고정 전원을 사용하는 경우 buck converter를 위한 외장 인덕터와 캐패시터를 제거하여 BOM을 최적화한 구조이다. 이 경우 buck은 꺼지고 global LDO가 활성화가 된다. VDDDR은 LDO_global의 출력 단자로 사용되며, 외장 decoupling 캐패시터를 통과한 후 RF 전원으로 VDDDR_RF로 입력된다. 본 논문에서 제안한 전원 구조는 전력 소모와 BOM 최적화가 가능하며 동시에 RF 전원을 깨끗하게 관리하기 용이한 장점이 있어, 최소의 전력 소모로 최고의 성능을 얻을 수 있는 최적의 구조로 판단된다.

3. 결론

본 논문에서는 최근 저전력 센서 네트워크 구성을 위해 주목받고 있는 BLE/ZigBee IoT MCU 칩을 위한 최적의 저전력 RF transceiver 구조를 제안하였다. 본 논문에서 제안한 RF 수신기는 low-IF 구조로 구성되어 DC offset 제거를 목적으로 한 high pass filter의 신호 손실과 high pass filter 구현을 위한 칩 면적 증가에 대한 단점을 해결하였고, flicker noise로 인한 잡음 특성 열화를 해결하였다. 구현된 수신기의 잡음 지수는 4dB로 매우 우수한 결과를 얻을 수 있었다. 이는 1.5MHz IF 대역을 사용하는 low-IF 구조를 사용함으로써 인해 약 1MHz 이하에서 발생하는 MOS transistor의 flicker noise로 인한 잡음 열화를 피할 수 있었기 때문에 얻을 수 있었다. 또 60 dB dynamic range를 갖는 ADC를 사용하여 원하는 신호와 간섭 신호를 모두 A-D

변환을 한 후 digital 단에서 간섭 신호를 제거하는 방법을 제안하였고, 이로 인해 analog 단의 필터를 제거하여 저전력과 칩 면적 최적화를 달성하였다. 구현된 면적은 약 500um×500um이며, 이는 BLE/ZigBee 시장의 제품들이 약 1mm×500um 수준인데 반해 그 절반 수준으로 제안된 구조의 우수성을 증명할 수 있었다. 또한 1MHz 및 2MHz C/I selectivity 성능의 경우 각각 0dB 와 -20dB 수준으로 <표 1>에서 보이는 바와 같이 시장의 주요 제품과 동등 수준을 절반 수준의 면적만으로 구현할 수 있었다. 송신기에서는 TPM 과 path mismatch calibration 기법에 기반한 DFM 구조를 제안하였으며, 최적의 전력 효율을 얻기 위하여 inverse class-F 전력 증폭기 사용을 제안하였다. 추가적으로는 FCC regulation 만족을 위해 LO의 duty를 보상하는 HD2 calibration 기법과 on-chip off-chip LC filter를 이용하여 3차 고조파를 제거하는 방법을 제안하였다. 구현된 송신기는 최대 출력 전력 15dBm에서 전력 효율이 약 40% 수준으로 이는 비슷한 스펙을 지원하는 칩들이 약 20~30% 수준의 전력 효율을 보이는 것에 비해 크게 개선된 결과이다. 본 논문에서는 다양한 전원 동작 상황을 지원하기 위해 buck converter와 global LDO를 사용하는 전원 구조를 제안하였으며, 구현된 buck converter의 전력 효율은 85% 수준이다. 본 논문에서 제안한 RF transceiver 와 전원 구조를 이용할 경우 RF 전원과 noisy 전원을 분리함으로 최적의 성능과 고효율 buck converter를 사용함으로 저전력 소모를 동시에 만족할 수 있을 것이라 판단한다.

References

[1] Bluetooth core specification 5.1, Bluetooth Special Interest Group, <https://www.bluetooth.com/ko-kr/specifications/>

bluetooth-core-specification/, Jan. 2019.

[2] IEEE Std 802.15.4-2015 IEEE Standard for Low-Rate Wireless Networks, IEEE 802.15.4 Task Group, <https://ieeexplore.ieee.org/document/7460875/>, Dec. 2015.

[3] Texas instruments, CC2650 SimpleLink™ Multistandard Wireless MCU, <http://www.ti.com/lit/ds/symlink/cc2650.pdf>, Dec. 2016.

[4] Nordic semiconductor, nRF52840 Objective Product Specification v0.5, https://infocenter.nordicsemi.com/pdf/nRF52840 OPS_v0.5.pdf, 2010.

[5] Dialog semiconductor, Bluetooth Low Energy 5.0 SoC with Enhanced Security and FLASH, https://www.dialog-semiconductor.com/sites/default/files/da14682_ds_3v1.pdf, Oct. 2018.

[6] Dialog semiconductor, Bluetooth Low Energy 5.0 SoC with Enhanced Security, https://www.dialog-semiconductor.com/sites/default/files/da14683_ds_3v1.pdf, Sep. 2018.

[7] NXP semiconductor, KW41Z: Kinetis® KW41Z-2.4 GHz Dual Mode: Bluetooth® Low Energy and 802.15.4 Wireless Radio Microcontroller (MCU) based on Arm® Cortex®-M0+ Core, New York, <https://www.nxp.com/docs/en/data-sheet/MKW41Z512.pdf>, Mar. 2018.

[8] Y. H. Liu, C. Bachmann, X. Wang, Y. Zhang, A. Ba, B. Busze, M. Ding, P. Harpe, G. J. V. Schaik, G. Selimis, H. Giesen, J. Gloudemans, A. Sbai, L. Huang, H. Kato, G. Dolmans, K. Philips, and H. D. Groot, *A 3.7 mW-RX 4.4 mW-TX fully integrated Bluetooth Low-Energy /IEEE802.15.4/ proprietary SoC with and ADPLL-based fast frequency offset*

- compensation in 40nm CMOS*, IEEE International Solid-State Circuits Conference, pp. 236-238, 2015.
- [9] M. H. Perrott, T. L. Tewksbury, and C. G. Sodini, *A 27-mW CMOS fractional-N synthesizer using digital compensation for 2.5-Mb/s GFSK modulation*, IEEE Journal of Solid-State Circuits, Vol. 32, No. 12, pp. 2048-2060, 1997.
- [10] S. Lee, J. Lee, H. Park, K. Lee, and S. Nam, *Self-calibrated two-point delta-sigma modulation technique for RF transmitters*, IEEE Transactions on Microwave Theory and Techniques, Vol. 58, No. 7, pp. 1748-1757, 2010.
- [11] Y-H. Liu, A. Ba, J. H. C - v. d. Heuvel, K. Philips, G. Dolmans, and H. Groot, *A 1.2nJ/b 2.4GHz receiver with a sliding-IF phase-to-digital converter for wireless personal/body-area networks*, IEEE International Solid-State Circuits Conference, pp. 166-167, 2014.
- [12] Y. Y. Woo, Y. Yang, and B. Kim, *Analysis and experiments for high-efficiency class-F and inverse class-F power amplifiers*, IEEE Transactions on Microwave Theory and Techniques, Vol. 54, No. 5, pp. 1969-1974, 2006.
- [13] Federal communications commission, 15.247 Operation within the bands 902-928 MHz, 2400-2483.5 MHz, and 5725-5850 MHz., <https://www.govinfo.gov/content/pkg/CFR-2013-title47-vol1/pdf/CFR-2013-title47-vol1-sec15-247.pdf>, Jan. 2002.
- [14] M. Babaie, F. Kuo, H. R. Chen, L. Cho, C. Jou, F. Hsueh, M. Shahmohammadi, and R. B. Staszewski, *A Fully Integrated Bluetooth Low-Energy Transmitter in 28 nm CMOS With 36% System Efficiency at 3 dBm*, IEEE Journal of Solid-State Circuits, Vol. 51, No. 7, pp. 1547-1565, 2016.
- [15] T. Sano, M. Mizokami, H. Matsui, K. Ueda, K. Shibata, K. Toyota, T. Saitou, H. Sato, K. Yahagi, and Y. Hayashi, *A 6.3mW BLE transceiver embedded RX image-rejection filter and TX harmonic-suppression filter resuing on-chip matchin network*, IEEE International Solid-State Circuits Conference, pp. 22-26, 2015.

저전력 BLE/ZigBee IoT MCU 용 RF transciever 설계 연구

정지학¹, 김용주²

¹한국폴리텍대학교 아산캠퍼스
반도체 디스플레이과 교수

²한국폴리텍대학교 안성캠퍼스
반도체 CAD과 교수

요 약

최근 저전력 센서 네트워크에 대한 관심이 급속히 증가하면서 BLE/ZigBee IoT MCU 용 RF transceiver 설계가 매우 중요한 과제가 되었다. 본 논문에서는 Bluetooth 5.0 core spec과 IEEE 802.15.4 ZigBee spec 을 검토한 후 최적의 저전력 저가 IoT MCU 칩 구현을 위한 RF transceiver architecture를 제안하였다. 본 논문에서는 높은 dynamic range를 갖는 ADC와 digital filter를 포함한 low-IF 수신기 구조를 제안하였다. 제안된 구조는 analog filter를 사용하지 않아 전력 소모와 칩 면적을 동시에 개선할 수 있는 장점이 있다. 또 low-IF 수신기의 특성으로 인해 DC offset 제거를 위한 high pass filter를 제거하여 칩 면적 개선 및 DC offset 제거와 flicker noise로 인한 성능 열화를 개선하였다. 송신기는 two pint modulation과 크기 위상 보상 기법을 포함한 direct frequency modulation 구조를 제안하였으며, 5bit binary-weighted inverse class-F 전력 증폭기를 제안하였다. Inverse class-F 전력 증폭

기는 class-F 전력 증폭기보다 개선된 전력 효율 특성을 보이며, 5bit binary-weighted 된 트랜지스터는 최대 출력 전력의 조절 및 출력 전력 ramping에 사용된다. 또 FCC의 spurious emission 요구 규격을 만족하기 위해 on-chip 및 off-chip 필터링 기법과 LO duty ratio를 보정하여 3차 및 2차 고조파를 억압하는 방법을 제안하였다. 마지막으로 본 논문에서는 배터리 사용 상황과 고정 전원 사용 상황을 모두 지원하여 저전력과 BOM cost 최적화를 달성하기 위해 buck과 global LDO를 사용하는 power architecture를 제안하였으며, 본 논문에서 제안된 RF transceiver 및 power architecture를 사용함으로써 인해 저전력 및 고성능을 동시에 달성할 수 있다.

Department of semiconductor CAD at Korea polytechnics since 2016. His current research interests include artificial intelligence SoC implementation for intelligent systems.

E-mail address: keungju@kopo.ac.kr



Ji-Hak Jung received the Ph.D. degree in the Department of Electronic Communication and Radio Engineering from Hanyang University in 2006. From

2006 to 2015, he was a Principal engineer at SAMSUNG Electronics S-LSI. He has been a professor in the Department of Semiconductor & Display at Asan Campus of Korea Polytechnics since 2016. His current research interests include intelligence semiconductor, RF system, RF IC, active device, and mobile communication system.

E-mail address: jihakjung@kopo.ac.kr



Eung-Ju Kim received the bachelor's degree in the Department of electronic Engineering from the Korea University in 2000. He received the M.S. degree in

2002 and the Ph.D. degree in the Department of electronic Engineering from Korea University in 2011. He worked for SAMSUNG electro-mechanics ASIC center from 2002 to 2016. He has been a professor in the