

논문 2018-1-8

고속 데이터 통신을 위한 주 채널의 유휴시간을 활용한 보조데이터 통신 방법

유병재*, 이규대**, 조현목***†

Auxiliary data communication method utilizing the idle time of main channel for high speed data communication

Byung-Jae Yoo*, Kyu-Tae Lee**, Hyun-Mook Cho***†

요 약

고속 시리얼 데이터 전송방식의 경우, 대부분 단방향 방식의 메인채널을 사용하며 이러한 단점을 보완하기 위해 추가적으로 양방향 통신이 가능한 보조채널을 사용하고 있다. 본 논문에서는 메인채널의 유휴시간을 활용하여 보조채널의 역할을 할 수 있도록 싱크의 클럭을 유지시키는 방법과 이를 활용한 양방향 통신 기법에 대하여 제안한다. 즉, 유휴시간동안 싱크의 클럭 유지 장치를 활용하여 소스쪽으로 데이터를 보내고 소스측에서는 간단하게 오버 샘플링 기법으로 데이터를 감지해 낼 수 있도록 하였다. 결과적으로, 이 방식은 보조채널을 물리적으로 제거함으로써 EMI/EMC 영향을 줄일 수 있으며, 부가적인 회로 면적의 증가와 전력 소비를 요구하지 않는다.

Abstract

In the case of the high-speed serial data transmission method, the unidirectional main channel is mainly used. However, in order to overcome the disadvantages of this method, an auxiliary channel capable of bidirectional communication is used. In this paper, we propose a method to maintain the clock of the sink to serve as the auxiliary channel by utilizing the idle time of the main channel, and also propose a bidirectional communication technique using this method. During idle time, the sink's clock-retention device is used to send data to the source and the source can detect the data with the over-sampling technique. As a result, this approach can reduce the EMI / EMC and does not require additional circuit area and power consumption.

한글키워드 : 고속직렬통신, 클럭동기화, 보조채널방식, 오버샘플링

keywords : High-speed Serial Communication, Clock Synchronization, Auxiliary channel, over-sampling

* (주)SOCDH

** 공주대학교 정보통신공학부

***공주대학교 전기전자제어공학부

† 교신저자:조현목(email: hmchov@kongju.ac.kr)

접수일자: 2018.05.18. 심사완료: 2018.06.11.

게재확정: 2018.06.20.

1. 서론

최근 데이터 전송량이 비약적으로 증가하면서 전송 속도 문제로 인한 선로의 EMI/EMC 문제

가 증가되고 있는 추세이다. 과거의 병렬통신에서 발생하는 문제점들을 LVDS와 같은 고속 시리얼 통신으로 대체 하면서 EMI/EMC 문제점들을 개선하였다. 최근 들어서 LVDS와 같이 클럭 동기화 시리얼 통신의 클럭 신호의 선로마져 줄이기 위해 CDR(Clock Data Recovery) 기술을 사용하여 데이터 전송만으로 클럭을 복원하는 기술들이 보편화 되고 있는 추세이다. 따라서, CDR은 USB와 SATA, DisplayPort등의 대부분 시리얼 인터페이스 통신에서 사용되고 있다. 최근에는, 이와 같은 단 방향 통신에서 벗어나 보조 채널을 가지고 전 이중통신 방식으로 메인 데이터(Main Data)와 별개로 구성 데이터(Configuration Data)를 보조 채널로 통신하고 있다. 여기에서, 채널은 전기적으로 연결된 선로를 의미 하며 Displayport 와 같은 경우 Aux Channel 에서 프로토콜 등을 처리하기 위해 물리적으로 채널이 형성되어 있다. 본 논문에서는 단방향의 메인데이터의 채널의 유휴 시간을 활용하여 보조 채널 없이 반 이중 통신 방식으로 구성 데이터와 같은 보조 데이터 통신을 할 수 있는 방법을 제안하고자 한다. 이 방식은 클럭-데이터 복원 회로가 필요 없이 데이터를 복원함으로써, 소스의 회로 면적 및 소비전력을 증가시키지 않는다.

2. 기존 데이터 전송 구조

2.1 단일 종단 신호 방식

이 방식은 데이터를 전송하기 위해서 기본적으로 하나의 라인을 필요로 한다. SPI(Serial Peripheral Interface)는 2개의 라인이 있지만, 마스터의 입장에서 봤을 때 하나는 송신(쓰기)을 위한 것이고, 다른 하나는 수신(읽기)을 위한 것이다. 동작 원리도 해당 데이터 라인을 통해서

들어오는 신호의 전압의 높낮이를 보고 로직 레벨 1(High)또는 0(Low)를 판단한다. 이러한 방식을 단일 종단 신호(Single-ended signal) 방식이라고 한다. UART(Universal asynchronous receiver/transmitter), I2C(Inter-Integrated Circuit)등이 이 방식의 대표적인 회로이며, 동작 원리는 위에서 설명한 SPI와 동일하다. 그림 1에 단일 종단 신호 방식을 나타내었다. 이 방식에서는, 기본적으로 그라운드 전압과 비교하여 그 차이를 신호로 인식한다.

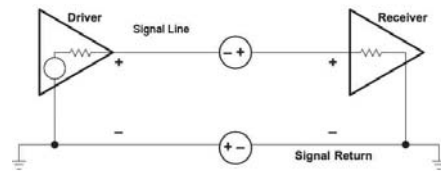


그림 1. 단일 종단 신호 방식
Fig. 1. Single-ended Signal System

이 방식은 구현이 간단하고, 비용도 적게 들지만 고속의 신호 전송이 필요하거나 비교적 먼 거리의 신호 전송이 필요할 때에는 적합하지 않다. 그 이유는 노이즈에 취약하다는 것이다. 고속 신호 전송 중 노이즈 성분이 포함되면 원래의 데이터 복원이 불가능해질 수 있다. 또한, 먼거리 전송에서도 노이즈에 노출된 가능성이 높아져 역시 온전한 데이터의 전송이 어려워진다. 이와 같은 문제점을 해결하기 위해서 도입된 기술이 차분 신호(Differential signal) 방식이다. 차분 신호 방식은 두 개의 라인을 사용한다. 따라서 단일 종단 신호 방식보다는 비용이 더 들게 되지만, 신호의 고속 전송이나 먼거리 전송에 강점을 갖는다.

2.2 저전압 차동신호

과거 병렬 데이터 통신 방식과 달리

LVDS(Low voltage differential signaling) 데이터 전송[1]은 두 선간의 전압차를 사용하여 전송하게 된다. 따라서 신호의 진폭이 작고 두선이 전자기적으로 결합되어 있기 때문에 방사되는 전자기적 잡음과 이에따른 전력소모가 작은 장점을 가지고 있다. LVDS SerDes(Serializer / Deserializer)는, 저 진폭의 차동 신호에서 데이터를 전송하기 때문에 EMI/EMC와 같은 전기적 잡음 특성이 개선되는 효과가 있다. 그림 2 에 수신기에 의해 동위상 노이즈가 제거되는 원리 [2]를 나타내었다.

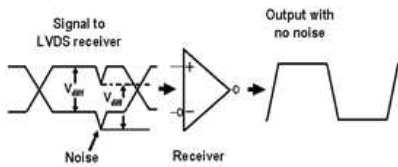


그림 2. 수신기에 의한 동위상 노이즈 제거
Fig. 2. In-phase Noise Rejection by Receiver

LVDS 기술이 적용되면서 저 진폭 차동 신호가 시리얼 인터페이스에서 필수요소가 되었고 EMI가 다른 회로에 혼입되어 악영향을 주는 등의 사태를 방지할 수 있게 되었다. 저 진폭으로 인한 노이즈 개선 요소 이외에도 차동 신호를 사용함으로써 외부노이즈에도 강한 것이 특징이다. 이와 같은 LVDS 는 데이터 채널만 가지고 있는 것이 아니고 클럭 채널을 별도로 가지고 있다. 따라서 저 진폭 이지만 주기적인 노이즈가 발생하게 되고 다른 채널에 영향을 주기 때문에 속도가 제한되는 단점을 가지고 있다. 또한 채널의 물리적 연결로 인해 하드웨어 제조 원가 상승의 요인이 될 수 있다. 따라서 이러한 문제점들을 해결하기 위해 CDR 등의 기술들이 많이 사용되고 있는 추세이다. CDR 의 경우 속도가 굉장히 빠르며 유희 시간에도 리시버의 클럭을 유지시키

기 위해 트랜스미터에서 blank data를 주기적으로 보내야 한다.[3] 따라서 리시버에서 트랜스미터로 어떤 정보를 보내기 위해서는 보조 채널이 따로 필요한 경우가 발생하게 된다. Displayport[4]의 경우 보조 채널이 별도로 있고 HDMI[5]의 경우 I2C 프로토콜을 이용하여 별도로 양방향 통신을 지원하고 있다. 이러한 보조 채널을 통한 데이터 통신은 그리 큰 대역폭을 사용하지 않기 때문에 몇 가지 기술적 문제를 해결하게 되면 보조 채널을 사용하지 않고도 양방향 통신을 할 수 있다.

3. 새로운 데이터 전송 구조

본 논문에서 고려한 직렬 데이터 전송 시스템을 그림 3 에 나타내었다. 하나의 채널을 통해 소스는 싱크로 데이터 신호를 고속으로 전송하며, 싱크는 데이터 신호에서 복원된 클럭을 이용하여 송신 클럭을 생성하고 이를 이용하여 리턴 데이터를 소스로 전송한다. 소스의 수신기는 싱크에서 송신한 싱크측 데이터 신호에서 데이터를 복원하는 샘플링 회로이며, 싱크의 수신기는 소스에서 송신한 소스측 데이터 신호에서 클럭과 데이터를 복원하는 CDR(Clock and Data Recovery)이다. 싱크의 송신기는 CDR에 의해 복원된 클럭과 실질적으로 동일한 주파수를 갖는 송신 클럭을 생성할 수 있다.

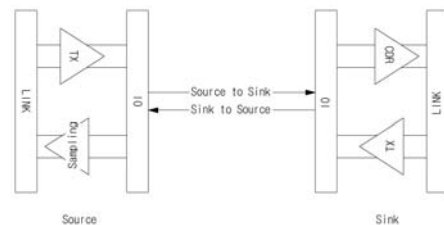


그림 3. 직렬데이터 전송 구조
Fig. 3. Serial Data Transmission Configuration

소스의 샘플링 회로는 CDR에 비해 회로면적을 적게 차지할 뿐 아니라 전력소모도 줄일 수 있다. CDR을 이용해서 클럭을 복원하지 않고 싱크측 데이터 신호에서 데이터만 복원하므로, 트레이닝 패턴이 짧아지거나 생략될 수 있다.

3.1 클럭생성회로의 구성

싱크측 데이터 신호에서 데이터를 직접 복원하기 위해, 싱크측 데이터 신호는 복원된 송신 클럭보다 낮은 비트율을 가질 수 있다. 즉, 수신 클럭을 복원하여 송신 클럭으로 이용할 때 싱크는 송신 클럭의 비트율을 낮춰서 전송함으로써 소스가 송신 클럭을 복원하지 않고서도 싱크측 데이터 신호에서 데이터를 폐지할 수 있다. 그림 4에 싱크의 클럭 생성회로의 블록도를 나타내었다.

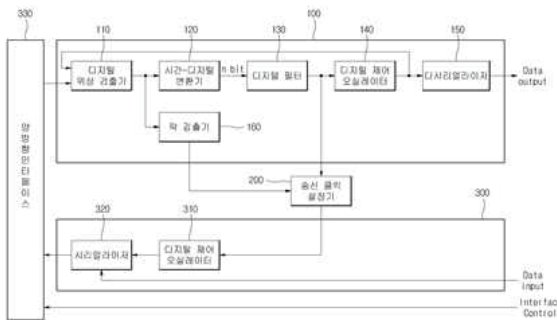


그림 4. 싱크의 클럭 생성 회로 블록도
Fig. 4. Block Diagram of Clock Generator for Sink

싱크측 데이터 신호의 비트율은 소스측 샘플링 클럭의 비트율 또는 멀티 페이즈 클럭에 의해 결정되므로, 소스측 샘플링 클럭의 비트율을 충분히 크게 하거나 멀티 페이즈 클럭을 이용하면 싱크측 데이터 신호의 비트율을 복원된 송신 클럭보다 낮추지 않아도 신뢰성 있는 데이터 전송이 가능하다.

싱크는 양방향 인터페이스를 통해 소스에 전기적으로 통신가능하게 연결된다. 수신기는 소스로부터 수신된 소스측 데이터 신호의 수신 클럭

과 복원된 클럭의 위상차를 이용하여 디지털 제어 오실레이터 코드를 생성하고, 생성된 디지털 제어 오실레이터 코드에 의해 복원된 상기 복원된 클럭을 이용하여 상기 소스측 데이터 신호에서 데이터를 복원한다. 송신기는 복원된 클럭을 수신 클럭에 라킹시킨 디지털 제어 오실레이터 코드에 의해 송신 클럭을 생성하고, 송신 클럭을 이용하여 리턴 데이터를 소스로 전송한다.

3.2 클럭생성회로의 동작

송신 클럭 생성 회로의 동작을 송신동작과 수신동작으로 나누어 그림 5에 나타내었다. 수신기에서 양방향 인터페이스를 통해 소스측 데이터 신호가 입력되면, 입력된 소스측 데이터 신호의 수신 클럭에 복원된 클럭이 라킹되도록 제1 디지털 제어 오실레이터가 동작한다. 수신 클럭과 복원된 클럭 사이에 라킹이 발생하면 락 검출기는 라킹 검출 신호를 출력한다. 이후, 송신기가 동작하는 동안에는, 제어회로에 의해 수신기는 턴 오프 된다. 송신기에서는, 라킹 검출 신호에 상응하는 n 비트의 디지털 제어 발진기 코드가 송신 클럭 설정기에 의해 제2 디지털 제어 오실레이터에 전달된다. 이후, n 비트의 디지털 제어 오실레이터 코드에 의해 제2 디지털 제어 오실레이터는 고정된 주파수를 갖는 송신 클럭을 출력한다.

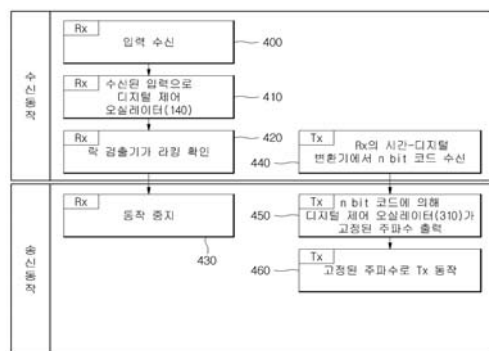


그림 5. 송신 클럭 생성회로의 동작
Fig. 5. Operation of Clock Generator for Transmission

송신기는 송신 클럭을 이용하여 싱크 데이터를 소스로 전송한다. 소스의 샘플링 회로는 디지털라이저를 포함하며, 싱크에서 소스로 전송된 싱크측 데이터 신호에서 데이터를 검출하기 위해 생성된 데이터 페치 클럭을 이용하여 데이터를 페치한다. 데이터 페치 클럭은 싱크측 데이터 신호의 비트율에 의해 결정될 수 있다. 그림 6에 설계한 샘플링 회로의 블록도를 나타내었다. 샘플링 클럭은 소스측 데이터 신호를 전송할 때 사용되는 메인 클럭이거나 싱크측 데이터 신호의 비트율 감소율에 따라 비트율이 변경된 메인 클럭이다. 오버 샘플링부는 싱크측 데이터 신호를 오버 샘플링하여 데이터 트랜지션이 발생하는 구간을 감지한다. 데이터 트랜지션이 감지되면, 오버 샘플링부는 타이밍 정보를 출력한다. 타이밍 정보는 싱크측 데이터 신호에서 데이터를 페치할 시점을 결정하는 정보로서, 데이터 페치 클럭의 라이징 엣지가 발생할 시점을 나타낸다.

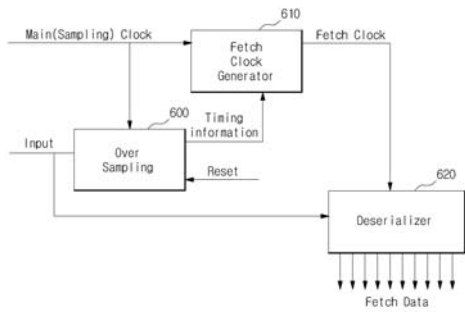


그림 6 샘플링 회로의 블록도
Fig. 6. Block Diagram of Sampling Circuit

3.3 양방향통신을 위한 샘플링회로의 동작
샘플링회로의 타이밍도를 그림 7에 나타내었다. 그림에서와 같이, 타이밍 정보는 샘플링 클럭을 기준으로 3 클럭 이후에 데이터 페치 클럭의 라이징 엣지가 발생하는 것을 보여주고 있으나,

비트율 감소율에 따라 타이밍 정보는 달라질 수 있다. 타이밍 정보는 단순하게 데이터 트랜지션이 발생하였음을 나타낼 수 있다. 샘플링 클럭에 의해 싱크측 데이터 신호의 비트율이 결정되며 싱크에 의한 비트율 감소율은 미리 알려져 있으므로, 타이밍 정보 수신 후 데이터 페치 클럭을 출력할 시점은 미리 결정될 수도 있다. 따라서 페치 클럭 생성부는 타이밍 정보 수신후 일정한 수의 샘플링 클럭이 입력되거나 일정한 시점이 되면 데이터 페치 클럭을 출력할 수 있다. 디지털라이저는 데이터 페치 클럭을 이용하여 싱크측 데이터 신호에서 데이터를 페치하고 페치된 데이터를 출력한다. 이상과 같은 전송방식은 CDR 방식에 비해, 샘플링 클럭과 데이터 페치 클럭 모두를 소스에서 생성된 클럭을 사용하기 때문에 싱크측 데이터 신호에서 클럭을 복원할 필요가 없다.

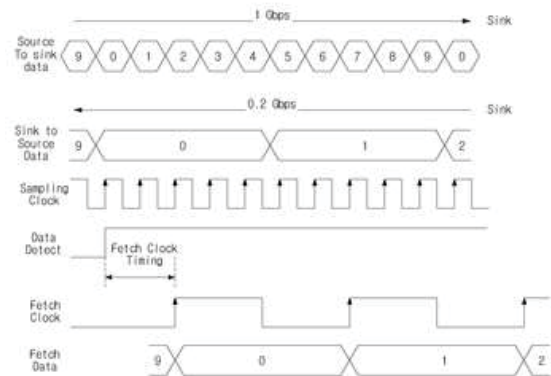


그림 7. 샘플링 회로의 타이밍도
Fig. 7. Timing Diagram of Sampling Circuit

따라서, 미니 트레이닝 패턴이 짧아지거나 사용하지 않을 수 있으며, 이로 인해 리턴 데이터의 비율을 CDR 방식에 비해 높일 수 있다. CDR 방식은 데이터를 페치하기 위해서 PLL(Phase locked loop) 또는 DLL(Delay locked loop)을 라

킹하여야 하며, 라킹이 이루어질 때까지 메인 또는 미니 트레이닝 패턴이 필요하다. 또한, CDR 방식은 데이터 신호가 없는 기간 동안 라킹된 주파수를 유지하지 못하므로, 싱크측 데이터 신호를 전송할 때마다 매번 라킹을 하여야 한다. 따라서, 그림 6에 나타난 소스의 샘플링 회로는 클럭이 고정된 상태에서 위상만 선택하여 데이터 페치 클럭으로 사용하므로, 소스의 구조를 단순하게 구성할 수 있고 소비전력을 크게 감소시킬 수 있다.

4. 결 론

본 논문에서는 기존데이터 전송구조인 단일 종단 신호 방식과 저전압 차동방식에 대하여 설명하였으며, 최근 DisplayPort와 HDMI와 같은 고속 시리얼데이터 전송방식에서 사용되고 있는 보조채널 방식에 대하여 설명하였다. 이를 바탕으로 메인채널의 유휴시간을 활용하여 보조채널 없이 양방향통신이 가능한 방법을 제안 하였다. 유휴시간을 활용하여 싱크에서 소스로 데이터를 전송하는 방법을사용하기 위해 싱크에서 복원된 클럭을 유지시키는 방식을 제안하였으며 이에 따라 소스측에서는 싱크쪽에서 보내는 데이터를 복원하기 위해 오버샘플링 기법등을 활용 하는 방식을 제안하였다. 물리적으로 보조채널을 제거하고 메인채널이 보조채널의 역할까지 함께 하는 새로운 방식을 제안함으로써 EMI/EMC 감소와 하드웨어 원가 절감 등이 기대된다.

참 고 문 헌

[1] Andrea Boni, et al. "LVDS I/O interface for Gb/s-per-Pin Operation in 0.35um

CMOS" IEEE J. Solid-State Circuits, Vol 36, pp706-711, April 2001

- [2] Jeon, H. K., Kim, H. R., Choi, J. M., Hong, J. P., Kim, Y. S., Oh, H. S., Kim, L. S., "High speed serial interface for mobile LCD driver IC", In Circuits and Systems, ISCAS 2008 IEEE International Symposium on, pp. 157-160, May, 2008.
- [3] Takizuka, H., Torikai, T., Mitsui, A., Suzuki, H., Watanabe, Y., Toma, T., & Koike, Y., "A proposal of novel optical interface to transmit 8K-UHDTV for consumer applications", 2013 IEEE 18th Micro Optics Conference (MOC), pp. 1-2, October, 2013.
- [4] DisplayPort Standard Version 1.2, VESA, Jan., 2010.
- [5] www.hdmi.org "HDMI Specification 1.3a"

저 자 소 개



유병재(Byung-Jae Yoo)

2008.2 공주대 전기전자정보공학과(공학사)
 2010.2 공주대 정보통신공학과 (공학석사)
 2010.3~2018.5 ㈜더즈텍
 2018.6~현재 : ㈜SOCDH
 <주관심분야> High Speed I/O, CDR, Analog IC

저 자 소 개



이규대(Kyu-Tae Lee)

1984 고려대 전자공학과 졸업
1986 고려대 전자공학과 석사
1991 고려대 전자공학과 박사
2001 미 조지아텍 교환 교수
2006 미 일리노이주립대 교환 교수
2007~2009 한국전자통신연구원 이동통신연
구소 초빙연구원
1992.3~현재 : 공주대 정보통신공학부 교수
<주관심분야> 회로 및 시스템, 신호처리,
VLC, 저작권보호



조현묵(Hyun-Mook Cho)

1989.2 고려대학교 전자공학과 공학사
1991.2 고려대학교 전자공학과 석사
1995.2 고려대학교 전자공학과 박사
2005.8~2006.7 Georgia Tech. 방문 교수
2015.8~2016.7 Georgia Tech. 방문 교수
1995.9~현재:공주대 전기전자제어공학부 교수
<주관심분야> 집적회로설계, 고속신호인터
페이스IC, PLL & CDR