논문 2018-2-10

클록 데이터 복원 회로가 없는 보조채널을 이용한 양방향 통신

유병재*, 조현묵**†

Bidirectional Communication using Auxiliary Channel without CDR(Clock Data Recovery) Circuit

Byung-Jae Yoo*, Hyun-Mook Cho**†

요 약

데이터 전송 속도가 고속화되면서, 송신부는 클록과 데이터를 함께 전송하고, 수신부의 CDR(Clock Data Recovery)은 클록을 복원하고 클록의 위상을 정렬하는 기능을 담당한다. 일부의 통신 방식은 수신부에서 송신부로 데이터를 전송하는 단방향 채널 또는 송신부와 수신부간 양방향 채널을 포함하기도 한다. 그러나, 양방향 채널은 단방향 채널에 비해 저속으로 데이터를 전송하며, 별도로 송신 클록을 생성하기 위한 부가적인 회로가 필요하다. 본 논문에서는 수신부에서 복원된 클록을 이용하여 전송한 데이터를 송신부에서 복원하기 위해 CDR 회로가 필요하지 않는 새로운 양방향 통신 방법을 제안하였으며, 결과적으로 송신부에서 부가적인 회로 면적과 소비전력의 증가 없이 단방향 채널을 양방향 채널로 활용하는 것이 가능하게 되었다.

Abstract

As the data transmission speed increases, the source transmits the clock and data together, and the CDR(Clock Data Recovery) of the sink restores the clock Some communication schemes include unidirectional channels that transmit data from sink to source, or bidirectional channels between source and sink. However, the bidirectional channel transmits data at a relatively low speed as compared with the unidirectional channel, and additional circuitry is required to separately generate the transmission clock. In this paper, we propose a new bidirectional communication method that does not require a CDR circuit to recover the transmitted data from the source using the clock recovered from the sink. As a result, it becomes possible to utilize a unidirectional channel as a bidirectional channel without increasing the additional circuit area and power consumption at the source.

한글키워드 : 클록 데이터 복원회로, 보조채널, 양방향통신, 직렬통신, 레퍼런스

keywords : clock data recovery, auxiliary channel, bidirectional, serial communication, reference

* (주)SOCDH
** 공주대학교 전기전자제어공학부
† 교신저자: 조현묵(email: hmchov@kongju.ac.kr)
접수일자: 2018.11.30. 심사완료: 2018.12.12.
게재확정: 2018.12.21.

1. 서 론

최근 데이터 전송 속도가 고속화되면서, 송신부는 클록과 데이터를 함께 전송하고 수신부가

www.kci.go.kr

클록을 복원하여 사용하게 되었다. 이러한 고속 통신 방식에서, 수신부의 CDR(Clock Data Recovery)[1]은 클록을 복원하고, 클록의 위상을 정렬하는 기능을 담당한다. 송신부와 수신부는 송신부에서 수신부로 데이터를 고속으로 전송할 수 있는 단방향 채널을 통해 통신한다. 일부의 통신 방식은 수신부에서 송신부로 데이터를 전송하는 단방향 채널 또는 송신부와 수신부간 양방향 채널을 포함하기도 한다. 또한, 양방향 데이터 전송을 위한 별도의 송신 클록을 위한 부가적인 회로가 송신부와 수신부에 각각 포함되어야 한다. 일반적으로 송신부에는 레퍼런스 클록이 제공되지만, 수신부에는 레퍼런스 클록이 제공되지 않는 경우도 많다. 이런 이유로, 수신부를 설계할 경우 기준 클록이 없는 경우를 대비해야 한다. 그러므로, 수신부에서 송신부로 데이터 전송을 할 경우 양방향 채널처럼 단방향 채널을 활용하여 데이터를 전송한다. 본 논문에서는 수신부에서 복원된 클록을 이용하여 전송한 데이터를 송신부에서 복원하기 위해 CDR 회로를 사용하지 않고, 또한 송신부에서 부가적인 회로 면적 및 소비전력의 증가 없이 데이터를 복원하는 방안에 대해서 기술하였다.

2. CDR을 이용한 양방향 통신

2.1 고속 시리얼 링크와 클록킹

시리얼 링크는 두 디지털 시스템[2] 사이의 통신 인터페이스이다. 그림 1에 고속 시리얼 링크 트랜시버의 블록도를 나타내었다. 시리얼 링크는 송신기(TX), 수신기(RX) 그리고 채널로 구성되어 있다. 시리얼 데이터는 PCB 트레이서나 동축 케이블을 통해서 TX로부터 RX로 전송된다. 고주파에서, 이퀄라이저가 채널 감쇄[3]의 영향을 완화시키기 위해서 사용될 수 있다. 그리고 채널의 전송선 동작에 기인한 신호 반사를 방지하기 위해서 50Ω 종단이 TX와 RX에 동시에 필요하게 된다. TX는 PLL(Phase Locked Loop), 시리얼라이저 그리고 전송 드라이버로 구성된다. TX에서 PLL은 외부 수정발진기를 이용하여 고주파 클록을 생성한다. 저속 병렬 입력데이터는 시리얼라이저에 의해서 고속 직렬 스트림으로 다중화된다. 그리고 전송 드라이버는 전류 모드 또는 전압 모드 드라이버를 사용하여 구현된다. 동일한 전압 스윙의 경우, 전압 모드 드라이버의 전력 소비가 전류 모드 드라이버보다 더 적다. 따라서 전압 모드 드라이버는 특히 저전력 고속 직렬 링크에 많은 관심을 불러 일으키고 있다[4].

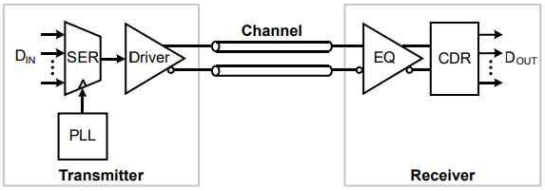


그림 1. 고속 시리얼링크 트랜시버 블록도
Fig. 1. Block diagram of a high-speed serial link transceiver

RX에서 채널 감쇠를 보상하기 위해 CTLE (continuous-time linear equalizer) 또는 DFE (decision feedback equalizer)를 사용된다. CDR은 들어오는 직렬 데이터를 다시 내보내는 클록을 생성하는데 사용한다. 이때, 복원된 클록은 요구되는 비트오류율 성능을 달성하기에 충분한 타이밍 마진을 위해서 입력 데이터와 적절한 위상 관계를 가져야만 한다. 또한, 시리얼 링크는 RX 클록의 생성 방법에 따라 분류되는데, 만일 시리얼 링크가 TX에서 RX로 클록 정보를 전송하는 여분의 채널을 가지고 있다면 이러한 방식을 포워디드 클록킹(그림 2 (a)) 기법 이라고 한다. 포워디드 클록킹에서는 직렬 데이터 열로부터 주파

www.kci.go.kr

수를 추출할 필요가 없다. 왜냐하면, TX에서 RX로의 클록킹이 주파수 정보를 제공하고 CDR이 최적의 샘플링 위상을 찾게 되기 때문이다. 이와 같은 포워디드 클록킹 기법이 가장 보편적으로 사용되는 방법이다. TX와 RX 사이에 전용 클록 링크가 없는 경우 임베디드 클록킹이라고 한다. 임베디드 클록킹은 그림 2 (b), (c)와 같이 기준 클록이 있는 경우와 없는 경우로 분류한다.

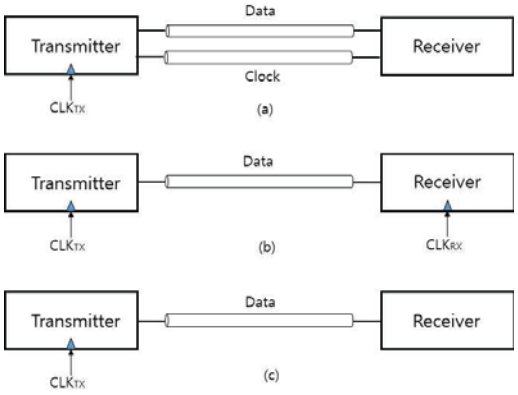


그림 2. 시리얼링크의 클록킹 방식
(a)포워디드 클록킹 (b)임베디드 클록킹
(c)임베디드 클록킹(레퍼런스 없는)
Fig. 2. Clocking schemes of the serial link
(a)forwarded clocking (b) embedded clocking and
(c) embedded clocking(reference-less)

2.2 CDR을 이용한 양방향 통신

현재 알려진 반도체 칩 간의 데이터 전송 방식은 크게 클록 포워디드 (clock-forwarded)방식과 클록 임베디드 (clock-embedded)[5] 방식으로 구분할 수 있다. 클록 포워디드 (clock-forwarded) 방식은 수신부에 복원용 클록 신호를 제공하는 방식으로 CPU 와 반도체 메모리 칩간 대용량의 데이터 송수신 방식에 폭넓게 사용되고 있다. 또한, 이 방식은 클록 신호를 직접 보내서 동기를 시켜주기 때문에 송신부-동기 시그널링 이라고도 알려져 있다. 클록 임베디드 방식은 전송된 차동신호 자체의 천이 정보를 수신부에서 검출하여 자체적으로 클록 신호를 복원하고 이 신호를 이용하여 데이터를 복원하는데 사용하며 CDR(Clock and data recovery) 회로가 이 역할을 수행한다. 그림 3에 CDR을 이용한 양방향 통신에 대한 블록도를 나타내었다.

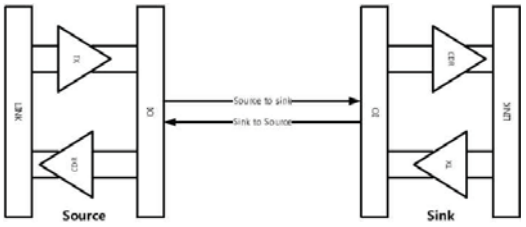


그림 3. CDR을 이용한 양방향 통신
Fig. 3. Bidirectionall Communication using CDR

반도체 칩 간의 고속 데이터 송수신에 있어서 위의 방식은 서로 장단점을 가지고 있는데, 전자의 경우 반도체 칩 내부의 데이터 신호와 클록 신호, 전송/수신 경로의 차이뿐 아니라 기생 커패시턴스와 저항 성분으로 인해 시간지연의 차이가 존재한다. 또한 반도체 칩 외부 즉, PCB 상에서 반도체 칩들 사이의 연결선인 도체 배치의 차이나 데이터와 클록 신호간의 경로 차이를 유발함으로써 사실 고속 송수신 전송에서는 선호되지 않는 방식이다. 한편, 후자의 경우는 원래 전송 케이블을 사용하여 원거리에서 데이터를 송수신할 때 사용하던 방식으로 원거리 전송시에 필요한 클록 신호를 생성하기 위한 전송선을 추가하는데 큰 비용이 발생하는데 이것을 방지하기 위해서, 전송부에서 차동 데이터 신호를 전송하면 수신부에서는 데이터가 1 에서 0, 또는 0 에서 1로 천이하는 정보로부터 클록 신호를 복원하는 방식으로, 고속 반도체 회로에 많이 응용되고 있는 방식이다. 하지만 이 CDR 회로는 복잡할 뿐 아니라 CDR 자체의 시간 지연으로 인해 고속 데

www.kci.go.kr

이터 송수신에서 비트오류율을 높이는 요인으로 작용한다. 또한 이 방식은 데이터가 전송되는 동안 CDR이 계속 동작해야 하므로 전력 효율이 떨어지는 단점이 있다.

3. CDR이 없는 새로운 양방향 통신

양방향 통신의 경우, 각 채널간의 데이터 패치를 위해서 CDR구조를 사용하여 데이터의 클록을 복원해 주어야 데이터를 패치할 수 있다. 그러나, 보조채널에서 전송되는 데이터의 양이 메인채널에 비해서 작기 때문에 CDR구조를 사용하게 되면 트레이닝 패턴에 비해서 전송되는 데이터의 비율이 적은 문제점을 가지게 된다. 또한, CDR을 위한 회로의 추가적인 면적 추가와 소비전력의 증가는 필연적이다. 이러한 문제점을 해결하기 위하여 CDR이 필요 없는 새로운 방식의 양방향 통신을 제안한다.

3.1 블라인드 호출(Fetch)를 이용하는 방법

블라인드 호출은 수신부에서 송신부로 보내는 데이터의 위상을 고려하지 않고 호출 클록을 임의적으로 생성, 선택하여 호출하는 방법으로 명확한 데이터 타이밍과 PCB와 케이블등의 물리적인 제약 등이 고려되어야 한다. 따라서, 보조채널의 데이터를 메인 채널에서 생성된 클록을 이용하여 블라인드 호출 할 수 있도록 비트율을 1/N 만큼 낮춰준다. 여기에서, 데이터 호출마진은 케이블 및 PCB와 같은 채널의 물리적 요소도 고려할 정도로 충분해야 한다. 블라인드 호출을 하기 때문에 CDR을 이용하여 클록을 생성할 필요없이 메인 채널의 클록에서 1/N 클록을 생성하여 사용할 수 있으며, CDR이 없기 때문에 구조의 단순화 및 소비전력의 감소를 가져올 수 있다.

그림 4에 블라인드 호출을 위한 타이밍 다이어그램을 나타내었다. 그림 4를 보면, 송신부에서 수신부로 전송된 송신부측 데이터 신호는 1Gbps 비트율을 갖는 10비트 고속 직렬 데이터 신호이다. 수신부는 1Gbps 데이터 신호에서 클록을 복원하고, 복원된 클록의 비트율을 1/10으로 감소하여 송신 클록으로 이용한다. 블랭크 구간이 검출되면, 수신부는 0.1 Gbps 비트율을 갖는 10비트의 고속 직렬 데이터 신호를 송신부로 전송한다. 비트율의 감소율은 1/10이고, 데이터 신호는 10비트인 것을 알 수 있다.

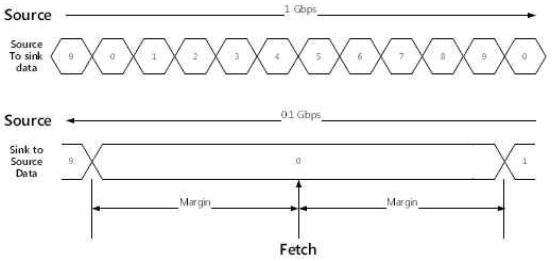


그림 4. 블라인드 호출 타이밍 다이어그램
Fig. 4. Timing Diagram of Blind Fetch

3.2 오버샘플링 데이터 천이 감지 기법

이 방법은 보조채널의 데이터를 오버샘플링하여 데이터 천이가 일어나는 구간을 감지하여 데이터 호출이 가능한 클록을 선택할 수 있도록 한다. 보조채널의 데이터를 오버샘플링하는 클록은 메인 채널에 의해 생성된 것이므로 별도의 CDR이 필요하지 않으며, 이 경우 트레이닝 패턴이 짧아지고 트레이닝 패턴에 비해 전송되는 데이터 비율이 CDR보다 증가하게 된다. 이 때, 보조채널의 데이터 전송속도의 한계는 오버샘플링 속도가 결정하며, 다중위상을 이용한 오버샘플링의 경우 데이터 전송속도의 변화와 관계없이 상대적으로

www.kci.go.kr

동일한 호출 마진을 가지는 장점이 있다. 데이터 천이를 감지하는 방법 역시 메인 채널의 클록을 이용하기 때문에 구조가 단순해지고 소비전력의 감소등의 효과를 볼 수 있다. 그림 5에 오버샘플링 데이터 천이를 위한 타이밍 다이어그램을 나타내었다. 그림 5를 참고하면, 송신부에서 수신부로 전송된 송신부측 데이터 신호는 1Gbps 비트율을 갖는 10비트 고속 직렬 데이터 신호이다. 수신부는 1Gbps 데이터 신호에서 클록을 복원하고, 복원된 클록의 비트율을 1/5로 감소하여 송신 클록으로 이용한다. 블랭크 구간이 검출되면, 수신부는 0.2 Gbps 비트율을 갖는 10비트 고속 직렬 데이터 신호를 송신부로 전송한다. 여기에서, 비트율의 감소율은 1/5이고, 데이터 신호는 10비트인 것으로 표시되어 있다.

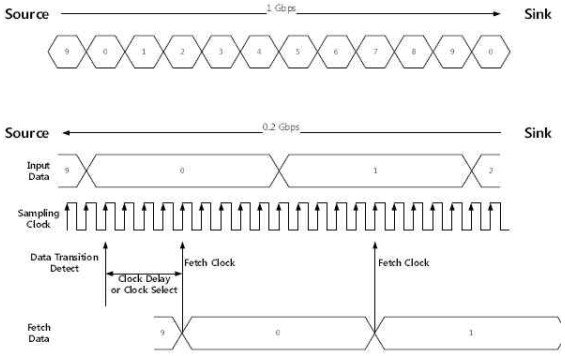


그림 5. 오버샘플링 데이터 천이 감지 기법 타이밍 다이어그램
Fig. 5. Timing Diagram of Over-sampling Data Transition Detect

샘플링 클록의 비트율은 송신부측 데이터 신호와 동일하다. 송신부의 샘플링 회로는 수신부에서 송신부로 전송된 데이터 신호에서 데이터를 검출하기 위해서 데이터 호출 클록을 생성한다. 데이터 호출 클록은 수신부측 데이터 신호의 비트율 및 샘플링 클록의 비트율에 의해 결정될수 있다. 데이터 패치 클록은 송신부가 1Gbps 비트율을 갖는 10비트 고속 직렬 데이터 신호에 사용한 클록을 1/5 감소한 클록이다. 수신부는 송신부측 데이터 신호에서 클록을 복원해서 사용하며 비트율 감소율은 미리 알려져 있으므로, 송신부는 수신부의 비트율 감소율을 이용하여 1Gbps 비트율을 갖는 10비트 고속 직렬 데이터 신호에 사용한 클록을 비트율 감소율만큼 감소시켜 데이터 패치 클록으로 사용할 수 있다. 데이터 호출 클록은 수신부 데이터 신호를 검출하기 위해 이용되는데, 데이터 호출 클록의 상승 엣지는 수신부 데이터 신호의 상승 엣지와 하강 엣지 사이에서 결정된다. 데이터 호출 클록의 상승 엣지를 결정하기 위해서, 타이밍 정보를 활용해야 하며 타이밍 정보에 따라 데이터 호출 클록의 상승 엣지가 정렬될 시점이 정해지며, 디-시리얼라이저는 데이터 호출 클록에 의해 호출된 데이터를 출력한다. 그림 6에 송신부측 오버샘플링 회로를 나타내었다. 샘플링 회로는 오버 샘플링부, 호출 클록 생성부 및 디-시리얼라이저를 포함한다. 오버 샘플링부는 샘플링 클록을 이용하여 입력된 수신부측 데이터 신호를 오버 샘플링 한다. 샘플링 클록은 송신부측 데이터 신호를 전송할 때 사용되는 메인 클록이거나 수신부측 데이터 신호의 비트율 감소율에 따라 비트율이 변경된 메인 클록이다. 여기서, 오버 샘플링부는 수신부측 데이터 신호를 오버 샘플링하여 데이터 천이가 발생하는 구간을 감지한다. 데이터 천이가 감지되면, 오버 샘플링부는 타이밍 정보를 출력한다. 타이밍 정보는 수신부측 데이터 신호에서 데이터를 호출할 시점을 결정하는 정보로서, 데이터 호출 클록의 상승 엣지가 발생할 시점을 나타낸다. 한편, 수신부측 데이터 신호의 비트율은 오버 샘플링에 의해 결정된다.

호출 클록 생성부는 타이밍 정보에 의해 데이터 호출 클록을 출력한다. 오버 샘플링부와 호출

www.kci.go.kr

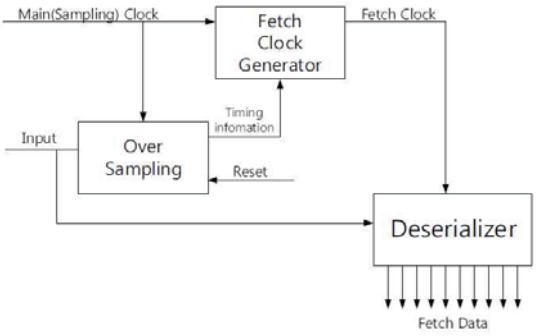


그림 6. 오버샘플링 회로 블록도
Fig. 6. Block Diagram of Over-Sampling Circuit

클록생성부는 동일한 샘플링 클록을 사용하므로, 타이밍 정보는 몇 클록 이후에 라이징 엣지를 출력할지를 특정하더라도 충분하다. 타이밍 정보를 수신한 시점부터 특정된 수의 샘플링 클록이 입력되면, 호출 클록 생성부는 데이터 호출 클록을 출력할 수 있다. 이를 위해서, 호출 클록 생성부는 샘플링 클록을 이용하여 데이터 호출 클록을 재생성하거나 멀티 페이지 클록을 생성하여 타이밍 정보에 따라 선택하여 출력할 수 있다. 한편, 타이밍 정보는 단순하게 데이터 트랜지션이 발생하였음을 나타낼 수 있다. 샘플링 클록에 의해 수신부측 데이터 신호의 비트율이 결정되며 수신부에 의한 비트율 감소율은 미리 알려져 있으므로, 타이밍 정보 수신 후 데이터 호출 클록을 출력할 시점은 미리 결정될 수도 있다. 따라서 호출 클록 생성부는 타이밍 정보 수신후 일정한 수의 샘플링 클록이 입력되거나 일정한 시점이 되면 데이터 호출 클록을 출력할 수 있다. 디시리얼라이저는 데이터 호출 클록을 이용하여 수신부측 데이터 신호에서 데이터를 호출하고 호출된 데이터를 출력한다. CDR 방식에 비해, 그림 6에 도시된 송신부측의 샘플링은 샘플링 클록과 데이터 패치 클록 모두를 송신부에서 생성된 클록을 사용하기 때문에 수신부측 데이터 신호에서 클록을 복원할 필요가 없다. 따라서, 미니 트레이닝 패턴이 짧아지거나 사용하지 않을 수 있으며, 이로 인해 리턴 데이터의 비율을 CDR 방식에 비해 높일 수 있다. CDR 방식은 데이터를 호출하기 위해서 PLL(Phase locked loop) 또는 DLL(Delay locked loop)을 록킹하여야 하며, 록킹이 이루어질 때까지 메인 또는 미니 트레이닝 패턴이 필요하다. 또한, CDR 방식은 데이터 신호가 없는 기간 동안 록킹된 주파수를 유지하지 못하므로, 수신부측 데이터 신호를 전송할 때마다 매번 록킹을 하여야 한다. 따라서, 그림 6의 송신부에서의 샘플링 회로는 클록이 고정된 상태에서 위상만 선택하여 데이터 호출 클록으로 사용하므로, 송신부의 구조를 단순하게 구성할 수 있고 소비전력을 크게 감소시킬 수 있다.

4. 결 론

최근 반도체 칩 간의 전송 속도가 증가함에 따라 반도체 회로에 많이 사용되는 방식이 CDR을 이용한 양방향 통신이다. 하지만 이때 사용되는 CDR은 회로자체가 복잡할 뿐만 아니라 CDR 자체의 시간 지연으로 말미암아 전원 노이즈에 의해 빠르게 변하는 데이터 신호의 지터 노이즈를 충분히 빠르게 클록 신호에 반영할 수 없어서, 고속 데이터 송수신에서 비트오류율을 높이는 요인으로 작용한다. 또한 이 방식은 데이터가 전송되는 동안 계속 CDR을 동작시켜야 하므로 전력효율을 떨어뜨리는 단점이 있다. 따라서, 본 논문에서는 CDR을 사용하지 않고, 보조채널을 이용한 새로운 양방향 통신방법을 제안하였다. 즉, 블라인드 호출(Fetch)를 이용하는 방법과 오버샘플링 데이터 천이 감지 기법인데, 이 방법은 수신부에서 송신부로 데이터 전송이 이루어질 때, 단방향 채널을 양방향 채널의 형태로 활용하여 데

www.kci.go.kr

이터를 전송할 수 있도록 한다. 그러나, 이 경우에도 수신부에 복잡한 회로를 추가하지 않고도 송신 클록을 확보할 수 있는 장점이 있다. 또한, 복원된 클록을 이용하여 송신한 데이터를 수신하기 위한 구성을 단순화할 수 있도록 하였으며, 수신부에서 복원된 클록을 이용하여 전송한 데이터를 송신부에서 복원하기 위해 클록-데이터 복원 회로를 추가하지 않고 데이터를 복원함으로써, 추가적인 송신부의 회로 면적 증가나 소비전력의 증가가 발생하지 않는다.

참 고 문 헌

[1] Tetsuya Iizuka, Satoshi Miura, Yohei Ishizone, Yoshimichi Murakami and Kunihiro Asada, “A true 4-cycle lock reference-less all-digital burst-mode CDR utilizing coarse-fine phase generator with embedded TDC.” 2013 IEEE CICC, San Jose, USA, Sep. 22-25, 2013. https://ieeexplore.ieee.org/document/6658550

[2] G. Balamurugan, J. Kennedy, G. Banerjee, J. E. Jaussi, M. Mansuri, F. O'Mahony, B. Casper, and R. Mooney, “A scalable 5-15Gbps, 14-75mW lowpower I/O transceiver in 65nm CMOS,” IEEE J. Solid-State Circuits, vol. 43, no. 4, pp. 1010-1019, Apr. 2008. https://ieeexplore.ieee.org/document/4476478

[3] J. F. Buckwalter and A. Hajimiri, “Analysis and equalization of datad ependent jitter,” IEEE J. Solid-State Circuits, vol. 41, no. 3, pp. 607-620, Mar. 2006. https://ieeexplore.ieee.org/document/1599530

[4] K.-L. J. Wong, H. Hatamkhani, M. Mansuri, and C.-K. K. Yang, “A 27-mW 3.6-Gb/s I/O transceiver,” IEEE J. Solid-State Circuits, vol. 39, no. 4, pp. 602-612, Apr. 2004. https://ieeexplore.ieee.org/document/1278578

[5] H. Jeon et al., “A clock embedded differential signaling (CEDSTM) for the next generation TFT-LCD applications,” in SID Symp. Digest, 2009, pp. 975-978. http://www.riss.kr/link?id=T13383614&outLink=K

저 자 소 개



유병재(Byung-Jae Yoo)

2008.2 공주대 전기전자정보공학과 공학사
2010.2 공주대 정보통신공학과 공학석사
2010.3～2018.5 ㈜더즈텍
2018.6～현재 : ㈜SOCDH
<주관심분야> High Speed I/O, CDR, Analog IC



조현묵(Hyun-Mook Cho)

1989.2 고려대학교 전자공학과 공학사
1991.2 고려대학교 전자공학과 석사
1995.2 고려대학교 전자공학과 박사
2005.8～2006.7 Georgia Tech. 방문 교수
2015.8～2016.7 Georgia Tech. 방문 교수
1995.9～현재 : 공주대 전기전자제어공학부 교수
<주관심분야> 집적회로설계, 고속신호인터페이스IC, PLL & CDR등

www.kci.go.kr